

5000円STM32F7ボードでARMの最新テクノロジーをかい間見てみる

400MHz級制御プロセッサ

ARM Cortex-M7初体験

第4回 2大高速化機能「キャッシュ」と「密結合メモリ」の構成

中森 章

今回は、超高性能ARM Cortex-M7搭載STM32F7 (STマイクロエレクトロニクス)に内蔵されているキャッシュや密結合メモリなどの高速化機能を紹介します。

Cortex-M7の高速化機能

プログラムを高速に実行するための仕組みとして、Cortex-M7は従来Cortex-M4に比べて次の機能が内蔵されています。

- (1) キャッシュのサポート
- (2) 密結合メモリ (TCM: Tightly Coupled Memory) のサポート
- (3) 倍精度浮動小数点のサポート (オプション)

ただしSTM32F7では、(3)の倍精度浮動小数点はサポートしておらず、単精度浮動小数点のサポートのみです (STM32F7x8/x9では倍精度をサポートしているものもある)。これはCortex-M4と違いがありません。

その1: キャッシュ

● 構成

Cortex-M7の性能向上に寄与しているのは、動作周波数の向上もありますが、キャッシュのサポートによるところが大きいです。STM32F7では4Kバイトの命令キャッシュ(2ウェイ)と4Kバイトのデータ・キャッシュ(4ウェイ)をサポートしています (STM32F7x2/x3ではそれぞれ8Kバイト、STM32F7x8/x9ではそれぞれ16Kバイト)。

キャッシュのON/OFFにはキャッシュ制御レジスタCCR (Cache Control Register)を使用します。図1

に示すように、ICビットを「1」に設定することで命令キャッシュがON、DCビットを「1」に設定することでデータ・キャッシュがONになります。

ただし、キャッシュはCortex-M7のAXIMインターフェースに接続されています。図2にSTM32F7の内部データ・バスの構造を示します。このように命令バス(経路)は、フラッシュ・メモリからフラッシュ・アクセラレータ(ART)を通る経路と、AXIMインターフェースを経由する経路があります。キャッシュにヒットするのはAXIMからの経路だけです。

● 操作レジスタ

キャッシュ操作関連のレジスタを表1に示します。表1でPoUやPoCという単語がありますが、それぞれ、Point of UnificationとPoint of Coherencyを意味します。PoUはそのキャッシュのみの操作、PoCはコヒーレンスを保証する操作を示します。要するに、PoUはL1キャッシュからL2キャッシュ(または外部メモリ)への操作、PoCは最終レベル(L2キャッシュ、L3キャッシュ、あるいは外部メモリの一番外側にあるメモリ)への操作を示します。L1キャッシュしか実装しないSTM32F7では、実質的にPoUしかサポートしていません(PoUとPoCの動作に違いがない)。

キャッシュ操作レジスタに、セット/ウエイを書き込む場合は少し面倒です。その構成を図3に示します。要するに、アドレスの下位11ビット(命令キャッシュの場合)または下位10ビット(データ・キャッシュの場合)の上位に、ウエイ番号を付加した値を書き込みます。

ちなみに、STM32FCubeF7ではキャッシュ操作回数として表2のものが用意されています。

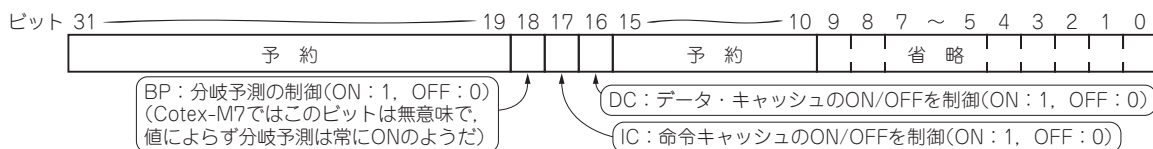


図1 キャッシュ制御レジスタCCRのキャッシュ制御ビット

第1回 最新 ARM Cortex-M7 コア入門 (2016年11月号)

第2回 高性能リアルタイム向けCortex-M7の演算性能 (2016年12月号)

第3回 ハードもソフトも至れり尽せり…Cortex-M7内蔵STM32F7初体験 (2017年1月号)