

# ビッグデータ時代にますます重要！ ハードウェア・データ処理に挑戦

小林 諒平

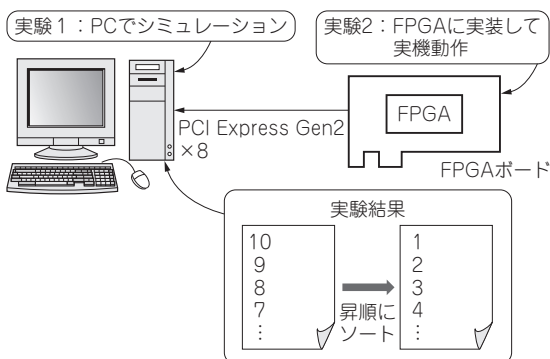


図1 大容量データ時代のハードウェアの活躍どころ！ソーティングを実験する

ここでは、ハードウェアでソーティングを行うことによる効果について、実験で確認してみます(図1)。

シミュレーションと実機の2種類の実験を行います。まず、PCで動作するシミュレータを使用してソーティング・アクセラレータの動作を確認します。次に、ソーティング・アクセラレータをFPGAで実際に動作させて、Cプログラムによる実行性能と比べてみます。

実機編では、やや高価なFPGAボードを使うので敷居が高いのですが、もしボードを持っていれば、ソーティング・アクセラレータを動作させ、ソフトウェア処理よりも10倍以上高速化することを手軽に確認できます。

## 準備

実験を行うためのファイルは筆者が用意しています。

```
https://github.com/monotone-RK/FACE/CQ
```

以下の方法で、あらかじめダウンロードしておいてください。

```
$ svn export https://github.com/monotone-RK/FACE/trunk/CQ
```

表1 実験で使用する設計データ

| ディレクトリ名 (CQ/以下) | 内容  |
|-----------------|---|
| bit             | ソーティング・アクセラレータの回路情報                         |
| driver          | PCI Express 通信のためのドライバ                      |
| src             | ソーティング・アクセラレータのソース・ファイル一式                   |
| test            | シミュレーションを実行するためのテストベンチ                      |
| util            | 実機での動作確認で利用するアプリケーション                       |
| Vivado          | ソーティング・アクセラレータ回路を生成するための Vivado プロジェクト・ファイル |

ディレクトリ構成を表1に示します。

実験を行うに当たって、ソーティング・アクセラレータのアルゴリズムは考えなくて構いません。詳しくは Appendix 2 で解説しています。

参考までに概要のみ紹介すると、今回の実験では、図2に示すようなソーティング・ネットワークとマージ・ソート・ツリーを組み合わせたソーティング・アクセラレータのデザインを使用します。ソーティング・ネットワークの幅は16、マージ・ソート・ツリーのウェイ数は16、マージ・ソート・ツリーのスループットは4/サイクルです。また、ソーティングの対象となる値は32ビット整数型のキーのみとします。

## 実験1：PCでシミュレーション

ここでは、RTL(Register Transfer Level)シミュレーションでソーティング・アクセラレータの動作を確認します。

ソーティング・アクセラレータのデザインは Verilog HDL というハードウェア記述言語で設計されています。RTLシミュレーションは、HDL(Hardware Description Language:ハードウェア記述言語)で設計されたデザインの挙動をレジスタ転送レベル(組み合わせ回路とフリップフロップを単位とするレベル)で模擬します。ハードウェアの設計では、設計者は HDL で記述後に、RTLシミュレーションでハード