

内部回路を想像しながら性能を比べてみると
とても面白いです

直伝3：新定番Cortex-A53の 実力初体験

石井 康雄

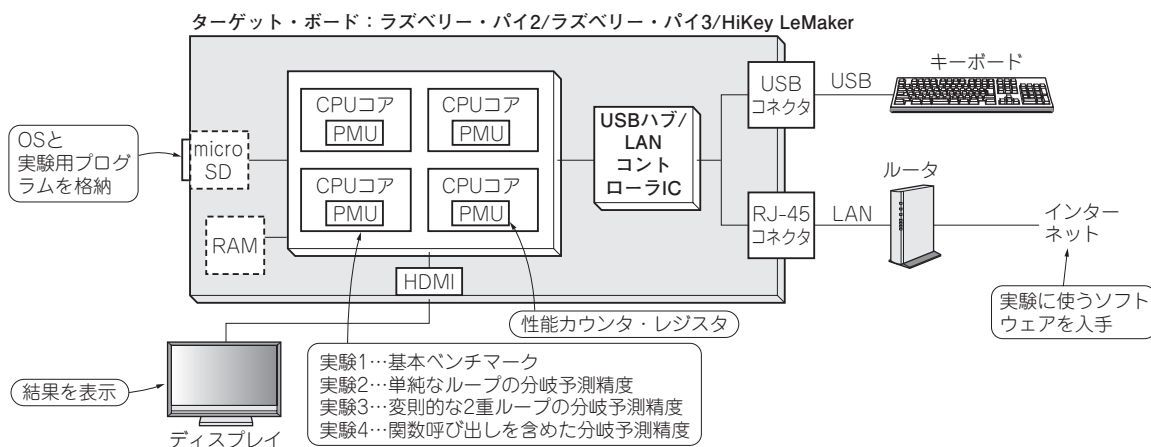


図1 実験の構成…3種類のターゲット・ボードを利用して基本性能と分岐予測精度を調べる

プロセッサのマイクロアーキテクチャとして説明した機能がLSIの内部でどのように性能に影響しているのか、ということを目視することは困難です。そこで性能カウンタの値を見ながらマイクロアーキテクチャが性能にどのように影響しているかを見ていきたいと思えます。

実験すること

ここでは、以下の実験を通じてCortex-A53の特徴を確認していきます(図1)。

- 実験1：基本ベンチマーク Dhrystone
- 実験2：単純なループの分岐予測精度
- 実験3：変則的な2重ループの分岐予測精度
- 実験4：関数呼び出しを含めた場合の分岐予測精度

● 基本性能

基本ベンチマーク Dhrystone では、3種類のプラットフォームを利用します。

- ラズベリー・パイ2
- ラズベリー・パイ3
- HiKey LeMaker

本稿執筆時点(2016年8月)では、残念ながら公式の64ビットOSが存在しません。64ビット動作時の性能を評価するためにCortex-A53が搭載されたHiKey LeMaker(コラム1参照)についても評価します。

● 分岐予測精度

実験2～4は、いずれも分岐予測精度の比較です。ここでは、マイクロアーキテクチャの違いに注目するため、ラズベリー・パイ2とラズベリー・パイ3のみを評価しています。Cortex-A53で大幅に増強された分岐予測リソースが、実際のプログラム実行でどのような影響を与えるかを確認します。

幾つかのループを含むマイクロベンチマークで分岐予測精度を計測していきます。それぞれのマイクロベンチマークは100万回ずつ評価され、分岐予測ミス率と1クロック・サイクル当たりの実行命令数(IPC)で評価しています。

● 実験時の注意…暑くなると性能が下がる

余談ですがラズベリー・パイ3は、オーバヒートを避けるために、LSIの温度に応じてクロック周波数を下げる機能があります。負荷がかかるアプリケーションを