

FPGAによるSATAコントローラ的设计

アヴネットジャパン
ザイリンクス営業本部
AE/マーケティング部

大牧 正知



AVNET, INC.

- **創業** : 1921 年
- **設立** : 1955 年/ **株式公開** : 1960 年
 - NYSE - AVT (Sector : Technology)
- **CEO**: Roy Vallee (**ロイ ヴァリー**)
- **本社**: 米国アリゾナ州フェニックス
- **事業体** :
 - エレクトロニクス マーケティング
 - テクノロジー ソリューションズ
- **従業員数** : グローバルで 11,000名
- **監査役** : KPMG LLP
- **決算** : 6月30日
- **主なアワード獲得**
 - Fortune 500 (2006年 212位)
 - InformationWeek 500 (2004年 3位)
 - Fortune Top50 Fastest Growing Companies (2002年)



AVNET JAPAN

アヴネット ジャパンでは、エレクトロニクス産業に携わるお客様を、製品コンセプトから量産まで一貫して強力的に支援致し、デザインチェーン(先進の半導体製品、開発のための高度な技術サポート)とサプライチェーンを通じ、お客様の製品ライフサイクルに合わせたサポートを提供します。

- 会社名 アヴネット ジャパン株式会社
- 設 立 1983年4月1日
- 代表者 トム マッカートニー
- 従業員 160名
- 営業拠点 東京、名古屋、大阪
- 事業内容
 - 半導体電子部品及びデモボードのマーケティング、販売及び技術サポート
 - 電子回路開発支援ツール(設計ソフト・論理シミュレータ等)のマーケティング、販売及び技術サポート
 - IP・ミドルウェアの販売と技術サポート、システム設計

なぜSATA？

- **最近のHDDはSATAの方が安い**
 - 装置に安価にHDDを接続する場合はSATAが必須
- **最近のデスクトップPCはほぼSATAを4つ以上搭載**
 - PCとのインターフェースで簡単に3Gbpsが使える
 - 1台のPCに複数装置を接続することが可能
 - eSATAであれば2mまでケーブルを延ばせる
 - ・ 装置が大きくPC筐体に入らない場合
 - ・ 装置を動かしたい、あるいは、PCと離したい場合
 - ・ ホットスワップしたい場合
 - ドライバ不要

HDD/PCとのインターフェースにSATAは最適なソリューションです！！

目次

- SATAの概要
 - SATAアクセスの概要
 - SATAのリンク層
 - SATAの物理層
- FPGAにおける実装
 - FPGAによるSATA
 - トランスポート/アプリケーション層
- 物理層の試験





SATAアクセスの概要



ATAとSATAアクセスの方法

■ ATAのアクセス方法

- デバイスのATAレジスタへパラメーターを書き込み、最後にコマンドを書き込むことで処理を実行
- デバイスの状態は必要なときにレジスタを読み出す

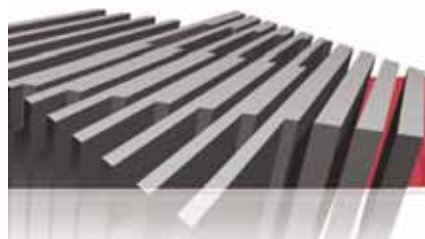
■ SATAのアクセス方法

- FIS (Frame Information Structure) と呼ばれるパケットにパラメーターやコマンドを書き込み、デバイスへ送信する
- デバイスの状態に変化が生じた時にデバイスからFISが送信される。
 - ・ ホストはこの情報でシャドウレジスタと呼ばれるレジスタを更新する
- FIS内レジスタはATAのものと同様

主なFIS

- Register – Host to Device (Reg HD)
 - FISタイプは27h
 - ホストからデバイスに送信
 - デバイスへコマンドを発行するときに使用

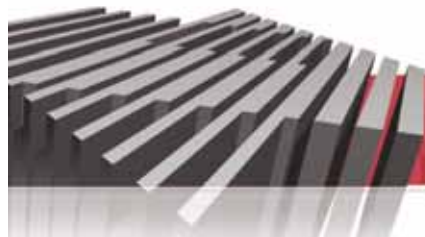
0	Features	Command	C	R	R	R	PM Port	FIS Type (27h)
1	Device	LBA High	LBA Mid				LBA Low	
2	Features (exp)	LBA High (exp)	LBA Mid (exp)				LBA Low (exp)	
3	Control	Reserved (0)	Sector Count (exp)				Sector Count	
4	Reserved (0)	Reserved (0)	Reserved (0)				Reserved (0)	



主なFIS

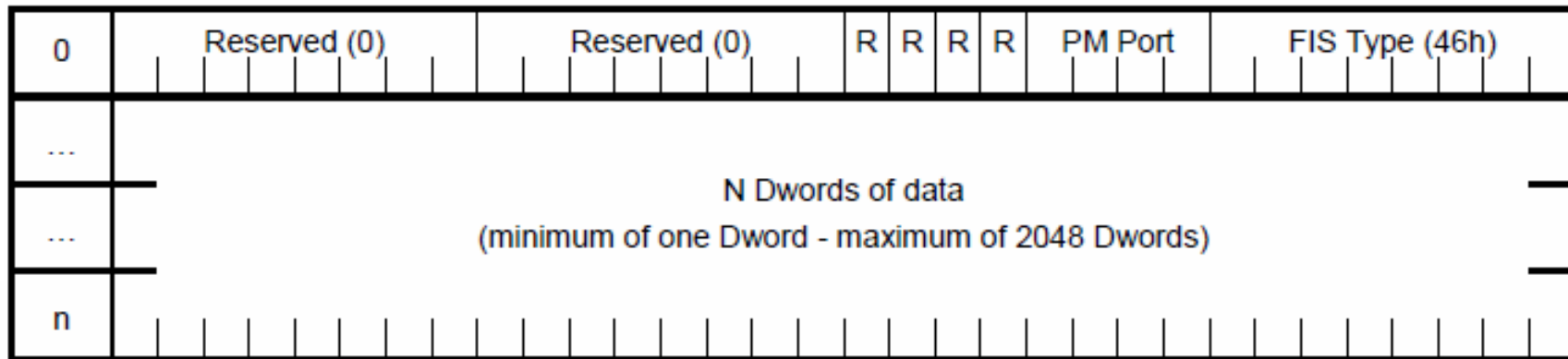
- Register – Device to Host (Reg DH)
 - FISタイプは34h
 - デバイスからホストに送信
 - デバイスの状態が変化した時に送信される

0	Error	Status	R	I	R	R	PM Port	FIS Type (34h)
1	Device	LBA High	LBA Mid				LBA Low	
2	Reserved (0)	LBA High (exp)	LBA Mid (exp)				LBA Low (exp) (0)	
3	Reserved (0)	Reserved (0)	Sector Count (exp)				Sector Count	
4	Reserved (0)	Reserved (0)	Reserved (0)				Reserved (0)	



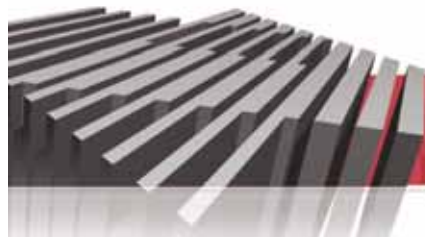
主なFIS

- Data
 - FISタイプは46h
 - ホストからデバイス、デバイスからホストどちら向きにも使用される
 - セクタなどのデータ転送に使われる

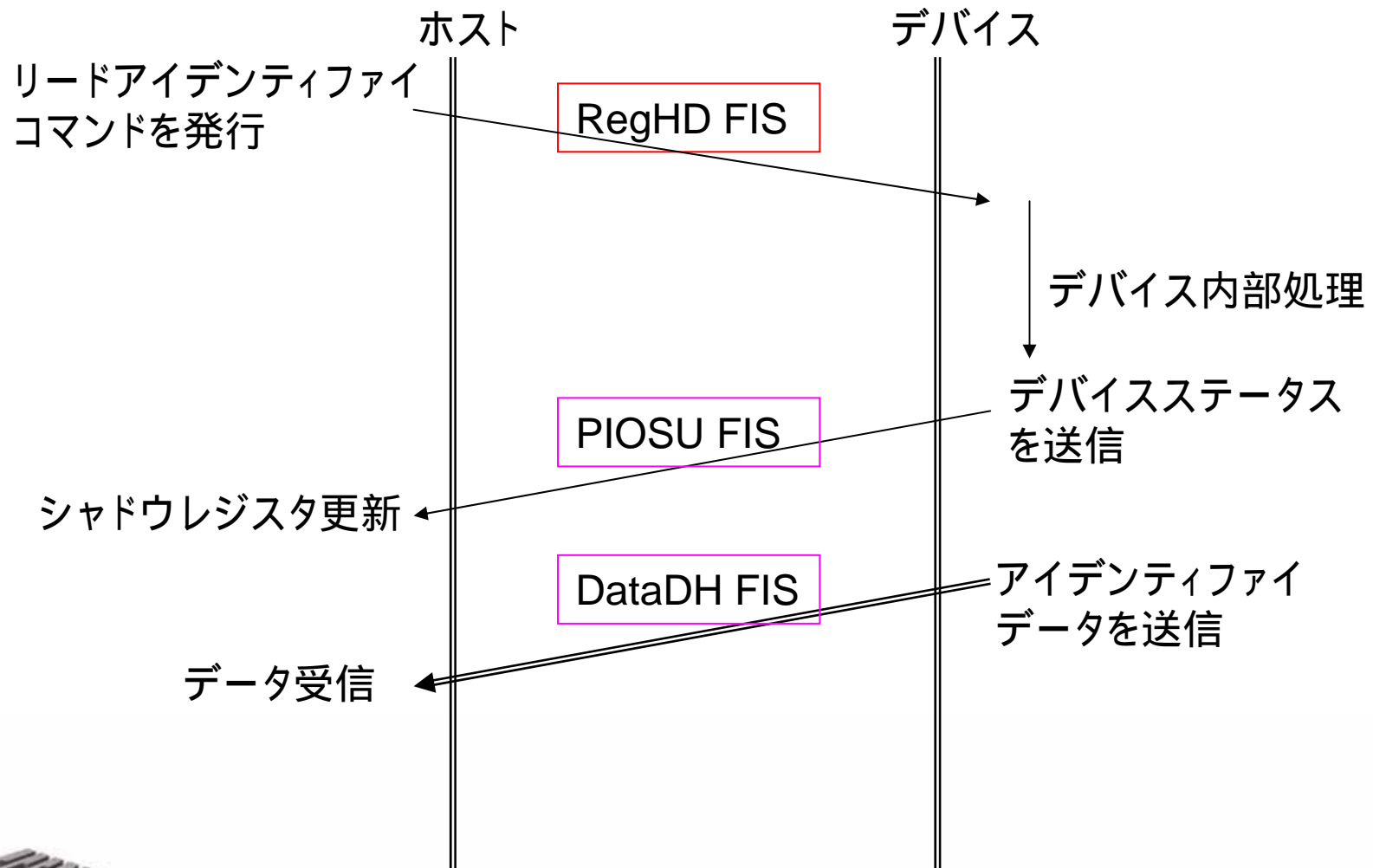


SATAアクセス例

- IDENTIFY DEVICE コマンド
 - ATAコマンドでは、Device/Headレジスタにデバイス番号(マスターかスレーブか)を書き込んでから、コマンドレジスタにEChを書き込むことで実行される
 - ・ その後、データポートから1セクタ分のデータを読み出すと、デバイスの情報が読み出される。
 - SATAでは、RegHD FISのDeviceにデバイス番号、CommandにEchをセットしてデバイスに送信することで実行される。
 - ・ PIOSU FIS (RegDHのようなもの) がデバイスから送られた後、DataDH FISで1セクタ分のデータが送られてくる。この中にデバイスの情報が格納されている



リードアイデンティファイの動き

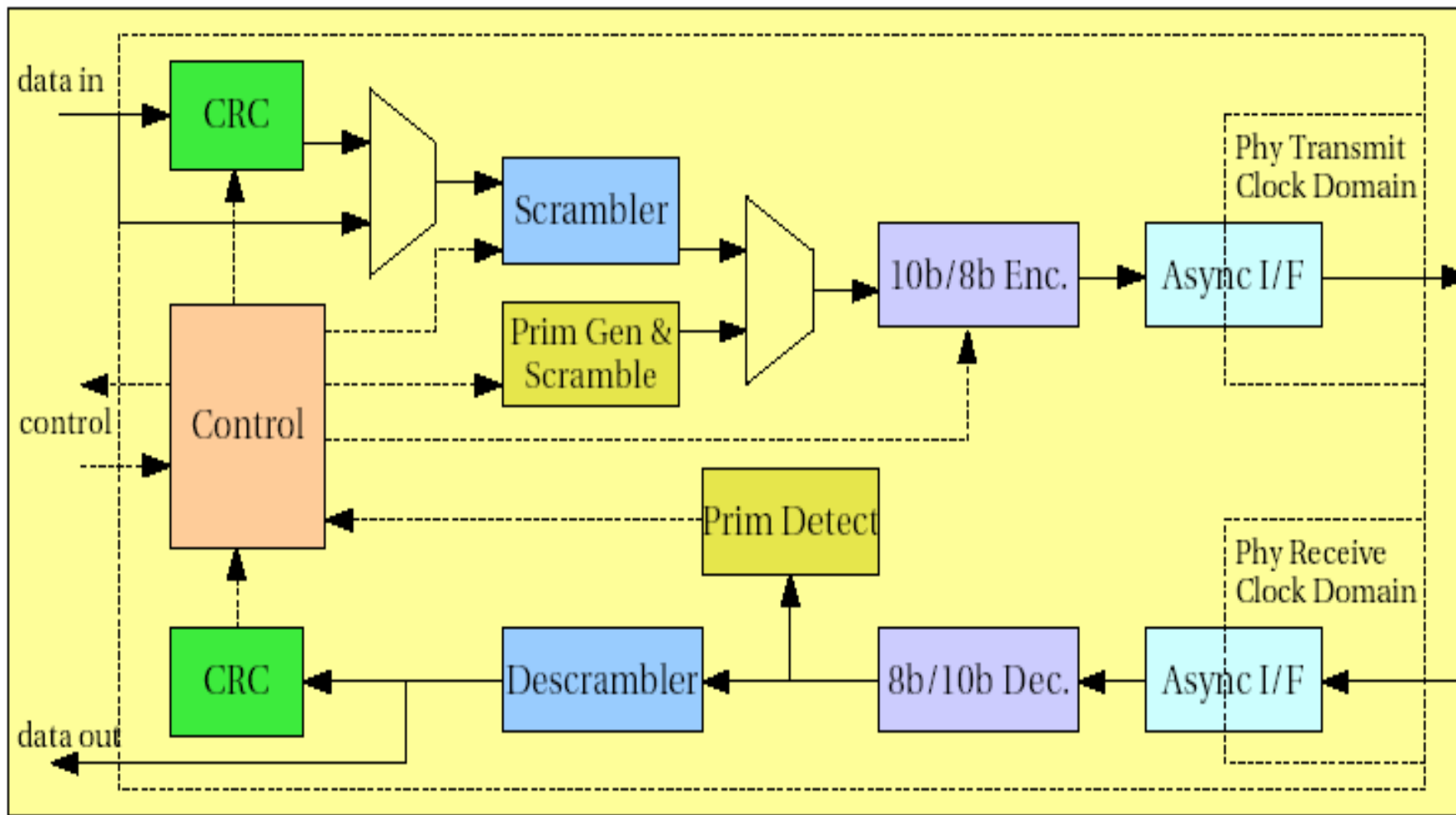




SATAのリンク層

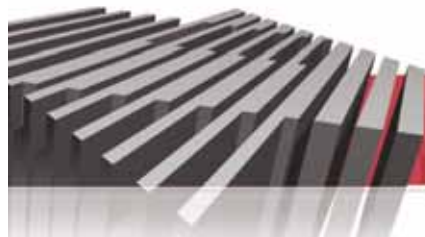


リンク層ブロック図



8b/10bエンコーダ 10b/8bデコーダ

- データはすべて8b/10bエンコードされる
 - 8bitのデータを10bitに変換
 - ・ したがって、実際の転送速度は3Gbpsのリンクで300MB/s
 - HやLの状態が長く続かないようにしてシリアルデータにクロックを埋め込むことができると共に、ライン上のDCバランスが崩れるのを防ぐことができる
 - 8bitのデータをすべて割り当ててもあまった10bコードは、Kキャラクタとして割り当てられ、コントロール用コードとする
 - ・ したがって、8bit + 1bitのコントロールビットが、10bitに変換される
 - 前半5bitと後半3bitに分けて、Dxx.x、Kxx.xなどと表記する
 - ・ 10000 010の場合、D16.2と表記する
 - ・ Kキャラクタの場合はK16.2と表記する



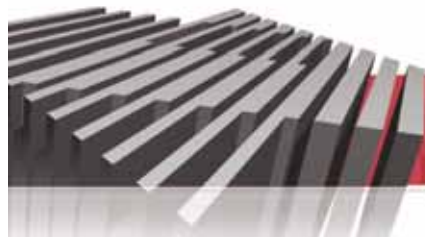
転送制御コード

- SATAでは、プリミティブと呼ばれるコードで転送制御を行う
- プリミティブは、4バイトのデータで構成され、最初のバイトはKキャラクタとなる

Primitive Name	Byte 3 Contents	Byte 2 Contents	Byte 1 Contents	Byte 0 Contents
ALIGN _P	D27.3	D10.2	D10.2.	K28.5
CONT _P	D25.4	D25.4	D10.5	K28.3
EOF _P	D21.6	D21.6	D21.5	K28.3
HOLD _P	D21.6	D21.6	D10.5	K28.3
HOLDA _P	D21.4	D21.4	D10.5	K28.3
R_ERR _P	D22.2	D22.2	D21.5	K28.3

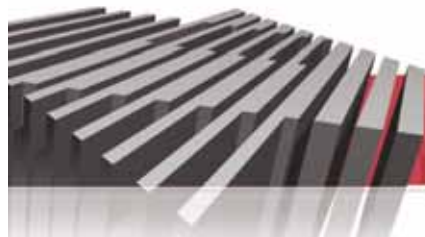
主なプリミティブ

- ALIGN
 - ホスト-デバイス間のクロックのずれを調整するために256DWORDごとに挿入される。受信側クロックが遅い場合はこのプリミティブを破棄することでずれを調整する。
- SOF, EOF
 - FISデータの先頭にSOFを、最後にEOFを付けてフレームデータであることを示す
- R_OK, R_ERR
 - フレームデータを正常に受信すればR_OKを、CRCエラーなど何かエラーがあればR_ERRを返す
- HOLD, HOLDA
 - FIFOあふれなどでデータ送信/受信不可の場合HOLDを送信し、HOLD受信側は20DWORD以内にHOLDAを返し、データ送信を一時ストップする。
 - ・ ケーブル長が2mで1Dword弱遅れるので、長くなる場合は注意



CRC/スクランブル

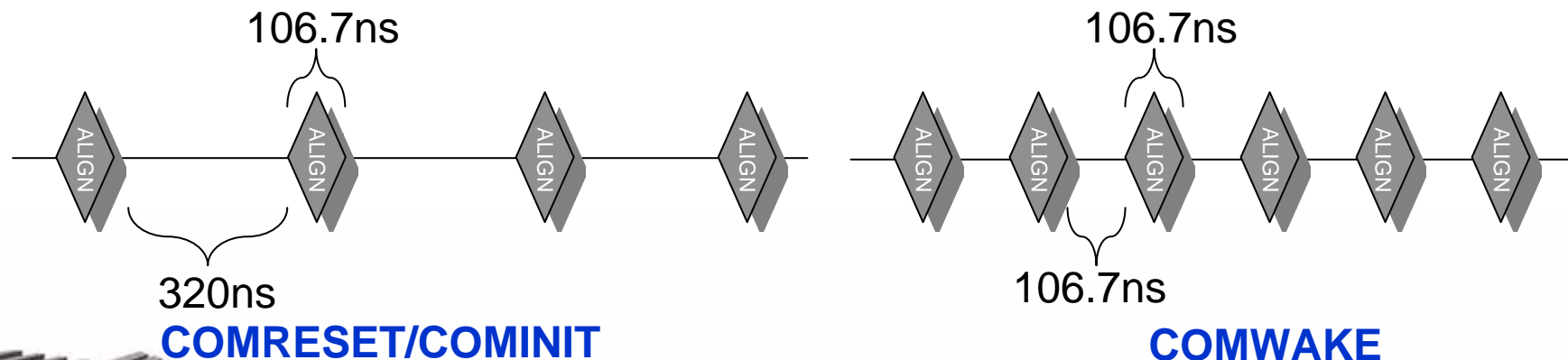
- データ部分にはCRCをかけ、受信側でチェックすることでデータ化けを検出する。CRCコードはFISの最後に付加される。
- 同じデータが繰り返し送信されると、EMIノイズの発生源となる。それを避けるために、同じデータを送信してもライン上のデータが常に変化するようにスクランブルをかける。
- スクランブルはLinear Feedback Shift Register (LFSR)の出力をXORすることで実現。



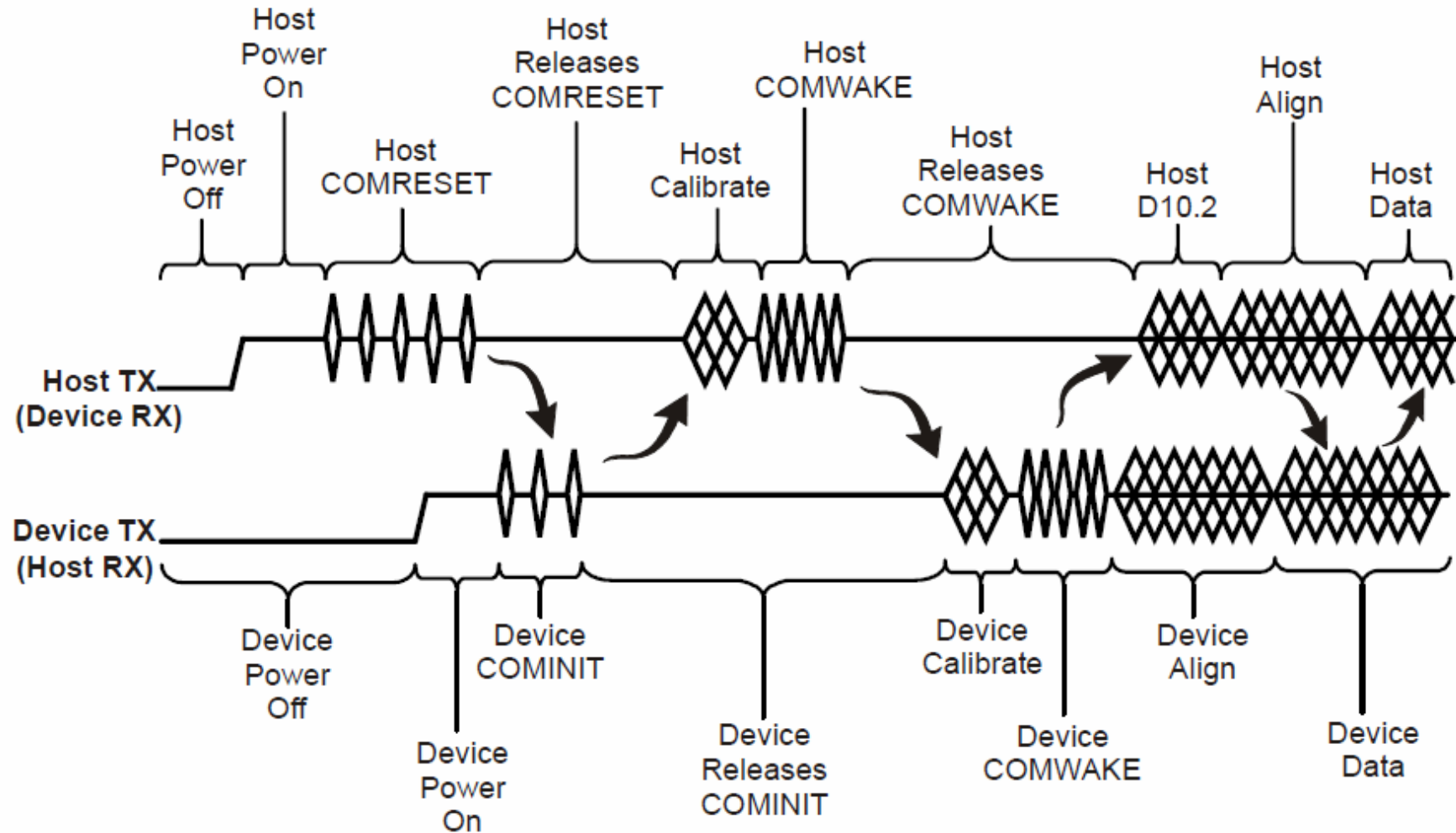
SATA物理層

Out-of-Band (OOB)

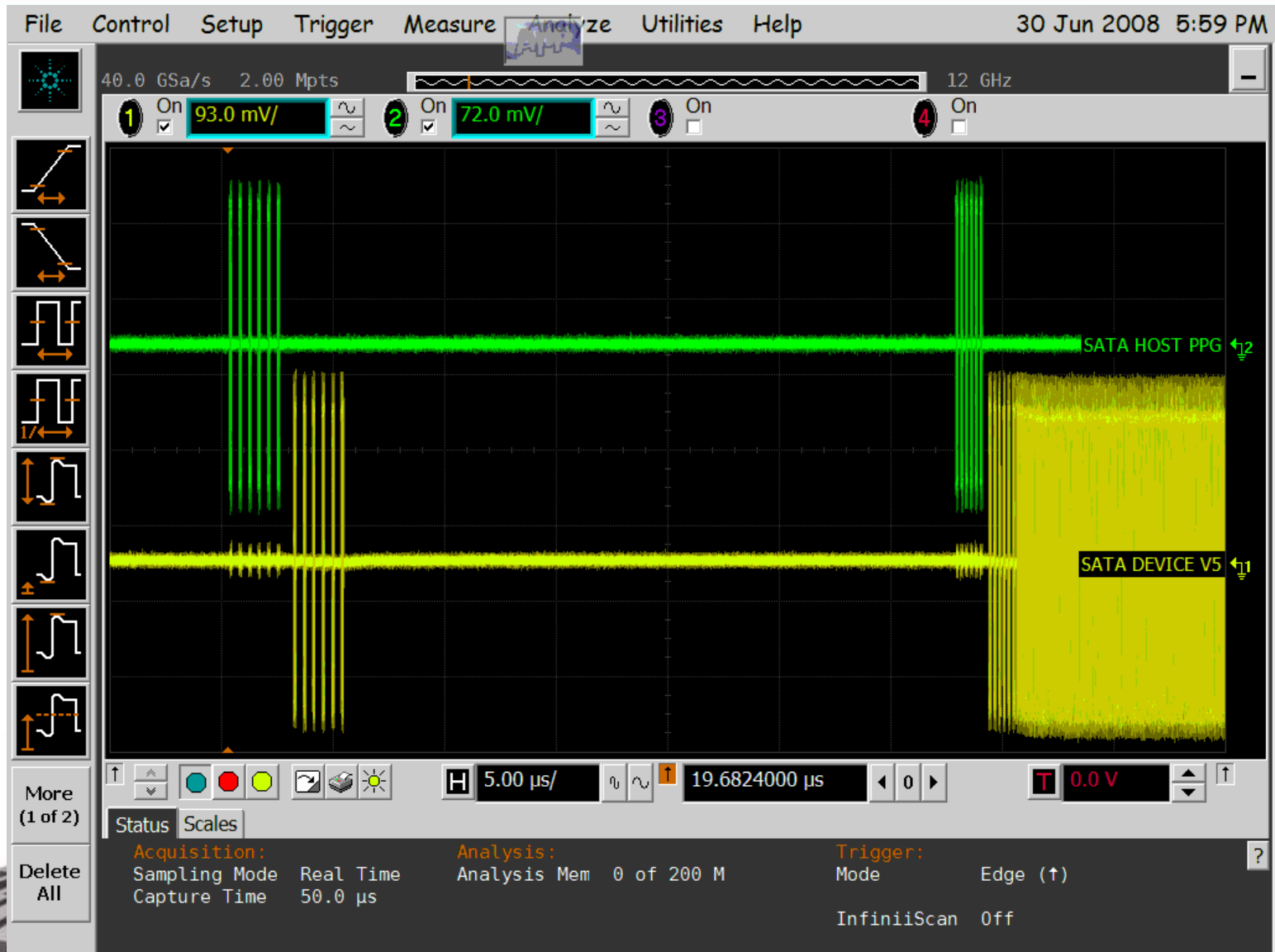
- 差動のPチャンネルとNチャンネルが同電位/振動状態を繰り返す信号
- ホスト/デバイスのリンクアップの初期化、リンク速度のオートネゴシエーションに使われる
- 同電位の長さや送信方向でコマンドが3つに分けられる




初期化シーケンス



実際の00B波形

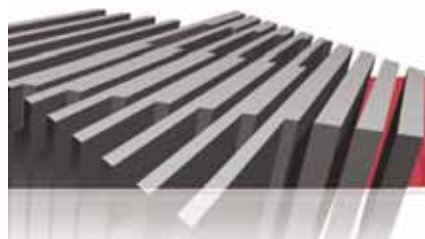
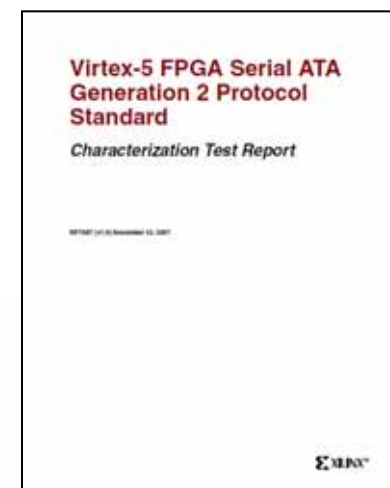




FPGAによるSATA

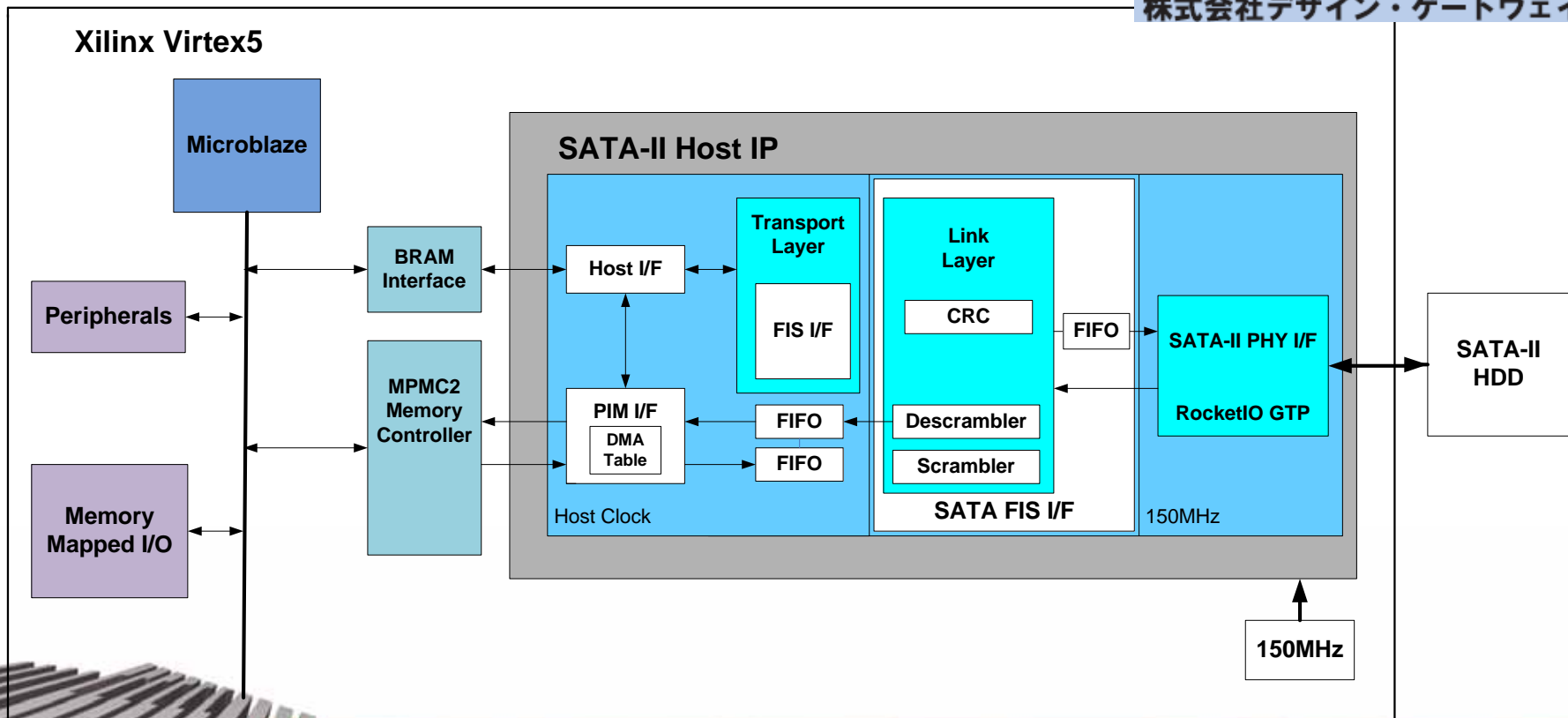
FPGAによるSATA

- GTP/GTXでSATAデバイスを直接FPGAと接続
 - 速度、配線の問題が出ない
 - ・ 小型装置にも便利 SATAカメラなど
 - 多チャンネルが容易に可能
 - ・ GTP/GTXの数までチャンネル数を増やせる
 - ・ FPGAのロジックリソースが課題 リソースが小さいIPコアを作成
- ザイリンクスよりSATA Gen2のキャラクタライゼーションテストレポートを公表
 - コーナースンプルを使用したレポート
- SATA Gen 1/2オートネゴシエーションリファレンスデザイン (XAPP870)
 - GTPの速度を動的に切り替えてオートネゴシエーション機能を実装



DesignGateway社製SATA IPコア

- Virtex-5 LXTで動作確認済みのSATA IPコア
- ML505で動作する評価用デザインあり



リンク層の実装

- 8b/10b, スランブラ, CRCなどはフル実装
- トランスポートレイヤー部分はリファレンスデザイン扱い
 - 上位層のハードウェアアーキテクチャで異なってくるため
 - トランスポートレイヤーのほとんどはCPUで処理できる
- eSATAに対応
 - HOLDp受信からHOLDAp送信までの時間が約18DWords
 - 2mのケーブルで1Dword遅延しても20Dwords以内に収まる

9	788.13330 ns		SATA_HOLD
10	793.46945 ns		SATA_CONT
11	947.12525 ns	SATA_HOLD	
12	960.45834 ns	SATA_HOLD	
13	973.79137 ns	SATA_CONT	
14	1.19343488 μs		SATA_HOLDp
15	1.20676822 μs		SATA_HOLDp
16	1.22010052 μs		SATA_CONT
17	1.46700212 μs	SATA_ALIGN	

50cmのSATAケーブルを使用



トランスポート/アプリケーション層

トランスポート/アプリケーション層

- **FPGA内部メモリー上にFISを構成**
 - FISの構築はCPUが実行
 - CPUがDMAに指示してSATA IPコアへ送信
- **専用DMAを使用して高速転送**
 - データの送信時はDMAが自動的にData FISを付加
- **受信したFISはDMAが自動的にメモリーに展開**
 - 受信後CPUに割り込みをかけ、状態を所得
- **詳細は、デザインウェーブマガジン2008年11月号をご覧ください**



FPGAでシリアルATAを使うには？

- Avnetへお問い合わせください
 - JAPAN-XILINX@Avnet.com
 - 弊社Webページ
 - 各種デモも承ります
 - ・ メモリー HDD転送デモ
 - ・ 多チャンネルを使用したRAIDデザインのデモ
 - ・ FPGAをSATAターゲットとして動作させるデモ
 - 受託開発可能
- 評価に必要なもの
 - Viretx-5評価ボード : ML505/ML506
 - 評価用デザイン リクエストください

