

# 使い慣れたCPUがFPGAでも動く！

～ 現有マイコンのCPUがソフト・マクロで

FPGAに搭載される意義～

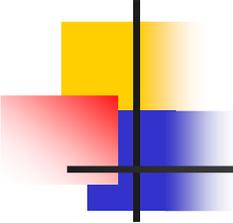
2008/11/20(THU.)

株式会社ネクスト・ディメンション

取締役 浅井 剛

asai@next-dimension.co.jp

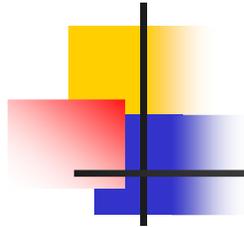




# 目次

---

- 従来のソフト・マクロCPUとFPGAの関係
- CPUアーキテクチャとFPGAをとりまく変化
- ベンダー製ソフト・マクロCPUとFPGA
- 現有マイコンのCPUがFPGAに
- まとめ



## ■ 従来のソフト・マクロCPUとFPGAの関係

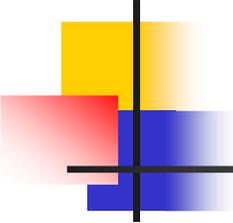
- 」 CPUアーキテクチャとFPGAをとりまく変化
- 」 バンダー製ソフト・マクロCPUとFPGA
- 」 現有マイコンのCPUがFPGAに
- 」 まとめ

# 昔のソフト・マクロCPUとFPGA

- CPU-IPはあるものの、ディスコンになったCISC CPUが中心
  - 68000, Z80, etc
- FPGAも論理規模が小さかった
  - 数千～数万
  - CPUを入れると周辺までは入らない
- 動作速度も遅かった



コスト・パフォーマンスが悪く、CPUは搭載できなかった



# 従来のCPUの特徴

- 初期のCISCアーキテクチャ
  - 少ない内部レジスタ(CISCだからしょうがない)
  - パイプライン化されていない実行シーケンス
    - フェッチ デコード 実効アドレス計算 メモリ・リード 演算 メモリ・ライトの繰り返し
- シーケンサは  $\mu$ ROM方式が主流
  - ランダムロジックを極力廃して小型化を実現

高性能よりも小型計算機の機能的な実現がメインだった

# μ ROM方式のシーケンサ

OPコードからのビットフィールド切り出しや  
シーケンス処理を全てμコードで記述  
必要に応じて分岐も組み込める

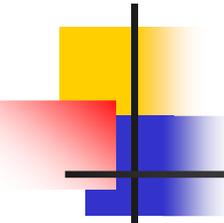
OPコード

μ ROMシーケンサ

制御信号はほぼ1対1

実行ユニット  
(Reg, ALU, etc)

ランダム・ロジック方式より小型だが高度な制御が可能



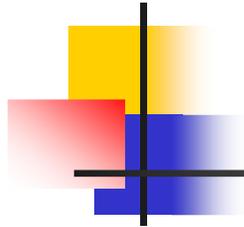
# 従来のFPGAとの相性の悪さ

- CPU-IPは汎用のRTL記述
  - 命令デコードはランダム・ロジックで合成
- FPGAにメモリリソースが少ない
  - $\mu$ ROM方式を採用したくても組み込めない

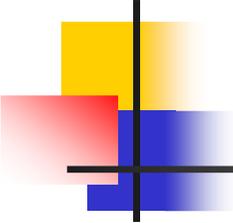
この課題は現在も残っている

FPGAに対応するにはベンダーに依存する設計変更が伴う

論理規模が大きく、低速なものしか実現できなかった



- 」従来のソフト・マクロCPUとFPGAの関係
- CPUアーキテクチャとFPGAをとりまく変化
- 」ベンダー製ソフト・マクロCPUとFPGA
- 」現有マイコンのCPUがFPGAに
- 」まとめ



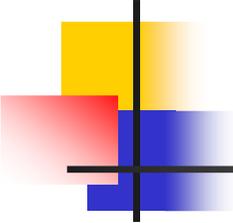
# CPUアーキテクチャの変化

- 多ビット化(8/16 32ビット)
  - 命令セットが組み易くなる

メモリの低価格化

- CISCからRISCへ
  - 命令デコードが簡単に
    - $\mu$ ROMシーケンサが不要に
  - パイプライン化が容易に

小型でかつ高性能なCPUが実現可能に



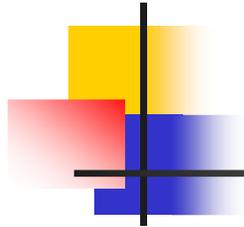
# FPGAをとりまく変化

- 高集積化
  - 大規模メモリ内蔵
  - 演算ハードマクロ内蔵

メモリ内蔵デバイスが  
低価格で入手可能に

- 低価格化
  - コンシューマ向けのデバイスラインナップ

FPGAの片隅にCPUを組み込める時代の到来



- 」従来のソフト・マクロCPUとFPGAの関係
- 」CPUアーキテクチャとFPGAをとりまく変化
- **ベンダー製ソフト・マクロCPUとFPGA**
- 」現有マイコンのCPUがFPGAに
- 」まとめ

# ベンダー製のソフト・マクロCPU

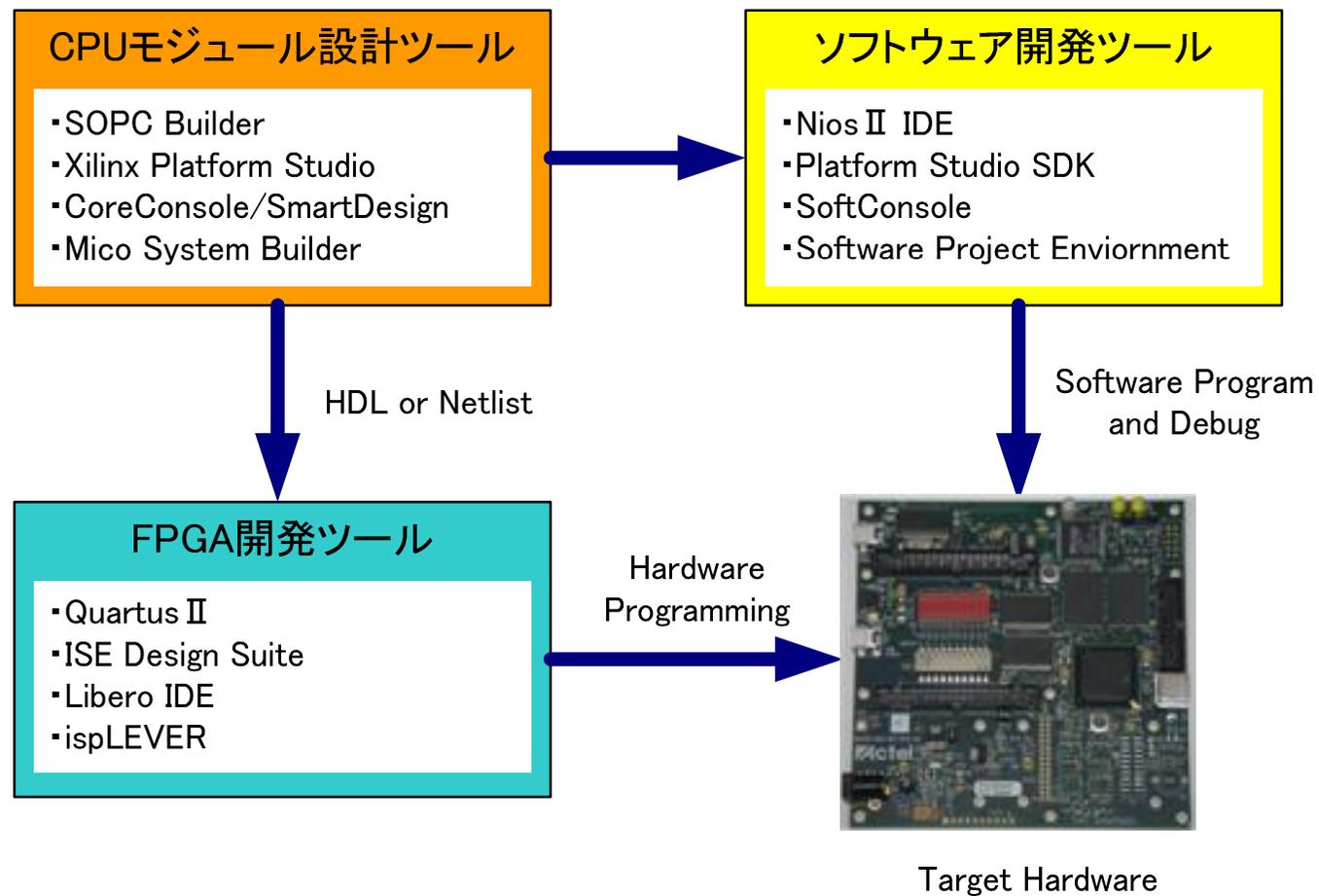
- Altera
  - Nios, Nios
- Xilinx
  - MicroBlaze, PicoBlaze
- Lattice Semiconductor
  - Mico32, Mico8

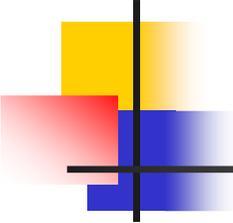
ロイヤリティ・フリー  
有償/無償の開発キット



長寿命製品や少量多品種の治具から普及が始まる

# CPU搭載FPGAの開発フロー



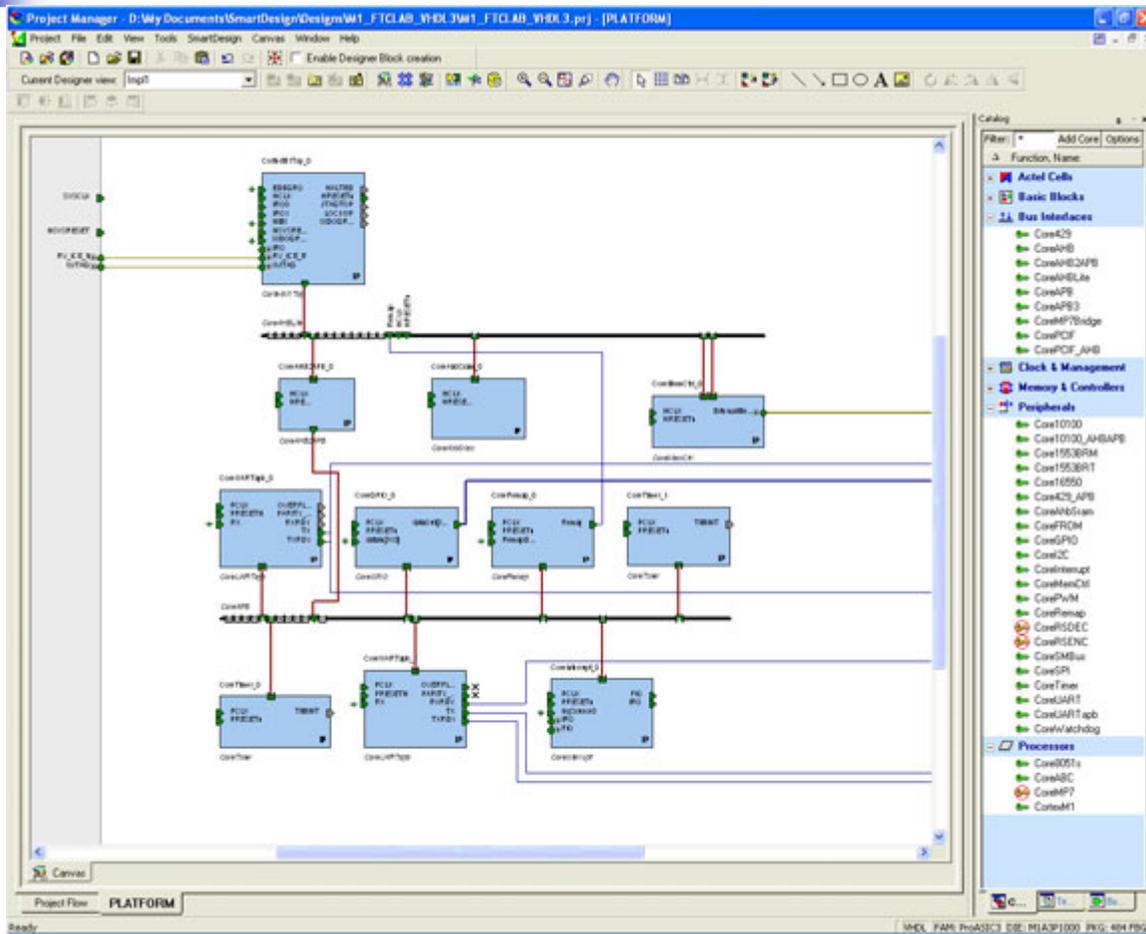


# CPUモジュール設計ツールの機能

---

- モジュールの組み込み
  - CPU/オンチップバス
  - 周辺モジュール
  - ユーザ・モジュール
  - アドレス/割り込みの定義
- HDL(RTL/Netlist)出力
- ソフトエア・ライブラリ(ヘッダファイルやAPI)出力
- GUIベースで関連ツールとシームレスに連携

# CPUモジュール設計ツールの例(1)



Actel社のSmartDesign



# CPUモジュール設計ツールの例(2)

The screenshot displays the Altera SOPC Builder interface for a Nios II Cyclone II target. The 'System Contents' pane on the left shows a tree view of components including the Nios II Processor, Bridges and Adapters, Interface Protocols, Legacy Components, Memories and Memory Controllers, Peripherals, PLL, USB, and Video and Image Processing. The main workspace is divided into 'Target' and 'Clock Settings' sections.

**Target:** Device Family: Cyclone II

**Clock Settings:**

Name	Source	MHz
clk	External	50.0
pll_c0	pll.c0	85.0
pll_c1	pll.c1	85.0
pll_c2	pll.c2	85.0

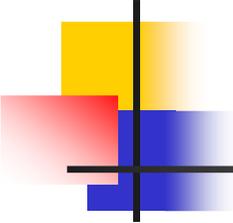
The main component table below shows the following modules and their configurations:

Use	Connections	Module Name	Description	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		pll	PLL	clk	0x02000020	0x0200003f	
<input checked="" type="checkbox"/>		cpu	Nios II Processor	pll_c0			
		instruction_master	Avalon Memory Mapped Master				
		data_master	Avalon Memory Mapped Master				
		jtag_debug_module	Avalon Memory Mapped Slave				IRQ 0 - IRQ 31
<input checked="" type="checkbox"/>		ext_flash_enet_bus	Avalon-MM Tristate Bridge	pll_c0	0x02120000	0x021207ff	
		avalon_slave	Avalon Memory Mapped Slave				
		tristate_master	Avalon Memory Mapped Tristate Master				
<input checked="" type="checkbox"/>		sys_clk_timer	Interval Timer	pll_c0	0x02120800	0x0212081f	
		s1	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		sysid	System ID Peripheral	pll_c0	0x021208b8	0x021208bf	
		control_slave	Avalon Memory Mapped Slave				

Warning: reconfig\_request\_pio: PIO inputs are not hardwired in test bench. Undefined values will be read from PIO inputs during simulation.  
 Info: ext\_flash: Flash memory capacity: 16.0 MBytes (16777216 bytes).

Altera社のSOPC Builder

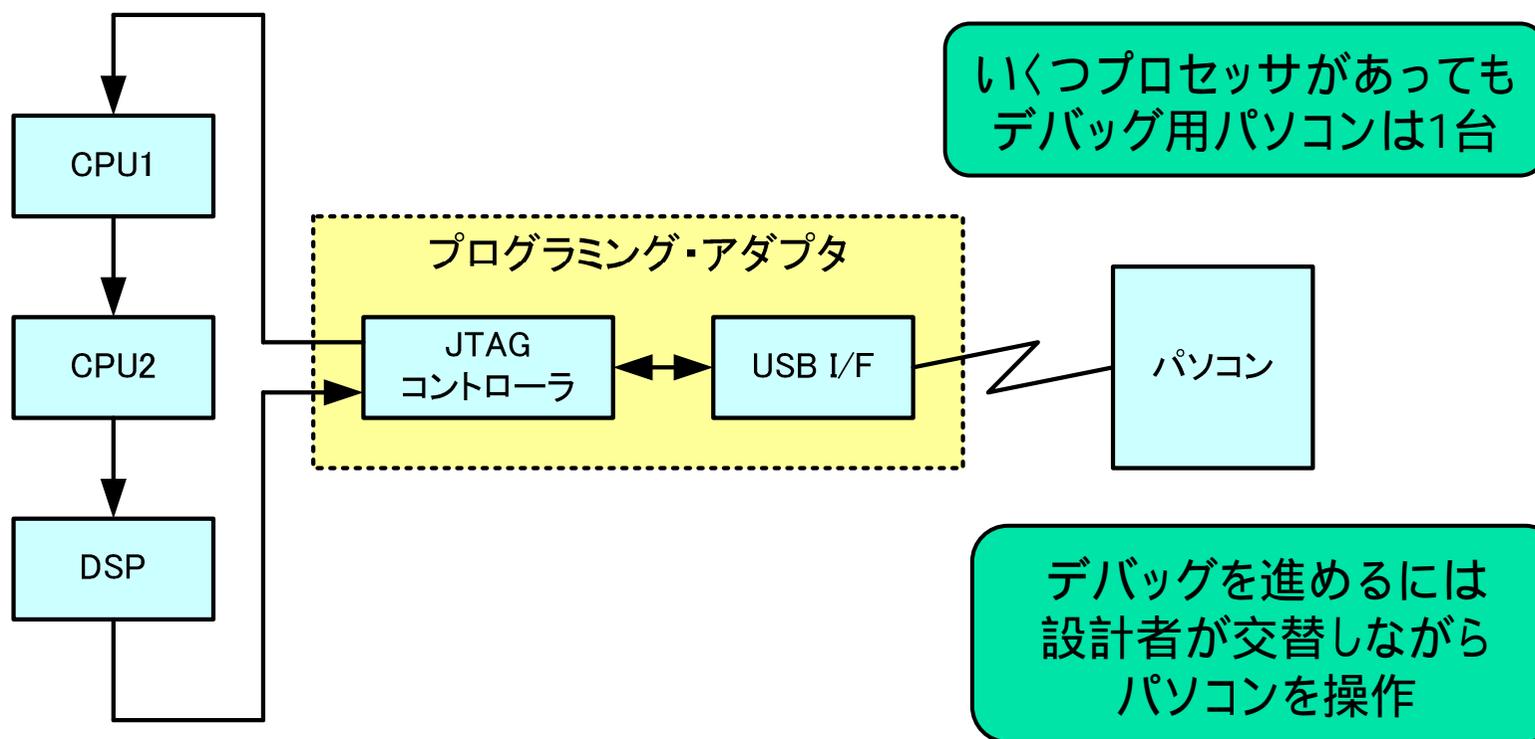




# ソフトウェア開発環境は

- CPUが1つならば市販マイコンと変わらない
  - JTAG-ICEを介した統合開発環境(IDE)を提供
  - GNUベースなのでオブジェクトの最適化が弱い
- 複数搭載時が課題
  - 1つのマシンで複数のCPUを一括管理
  - 機能分散(非対称)で使用する人が多いので非常に使いにくい
  - 市販の組み込み向けマルチCPU搭載マイコンも同様

# マルチ・プロセッサのデバッグ環境



このような環境では開発効率が上がるはずない

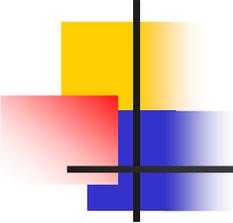
# 4CPUでのデバッグ実行例

1CPU毎に  
3つのWindow

The screenshot displays four overlapping terminal windows from SOPC Builder 5.1. The windows show the following sequence of operations:

- Navigation to the directory: `/cydrive/c/altera/kits/nios2_51/examples`
- Changing to the directory: `cd PE1` (for the first window) and `cd PE4` (for the fourth window)
- Executing the terminal command: `nios2-terminal.exe --cable=USB-Blaster --instance=3` (for the first window) and `nios2-terminal.exe --cable=USB-Blaster --instance=0` (for the fourth window)
- Output messages indicating connection to the hardware target using JTAG UART.
- Loading the kernel: `TOPPERS/FDMP Kernel Release 1.1 (patchlevel = 2) for Nios2 Development Board(PE3)` (for the first window) and `TOPPERS/FDMP Kernel Release 1.1 (patchlevel = 2) for Nios2 Development Board(PE4)` (for the fourth window)
- Waiting for EXOCB initialization and receiving a count: `receive 87654321(cnt=1)`
- Starting the system logging task: `System logging task is started on port 1.`
- Starting the sample program: `Sample program starts (exinf = 0).`



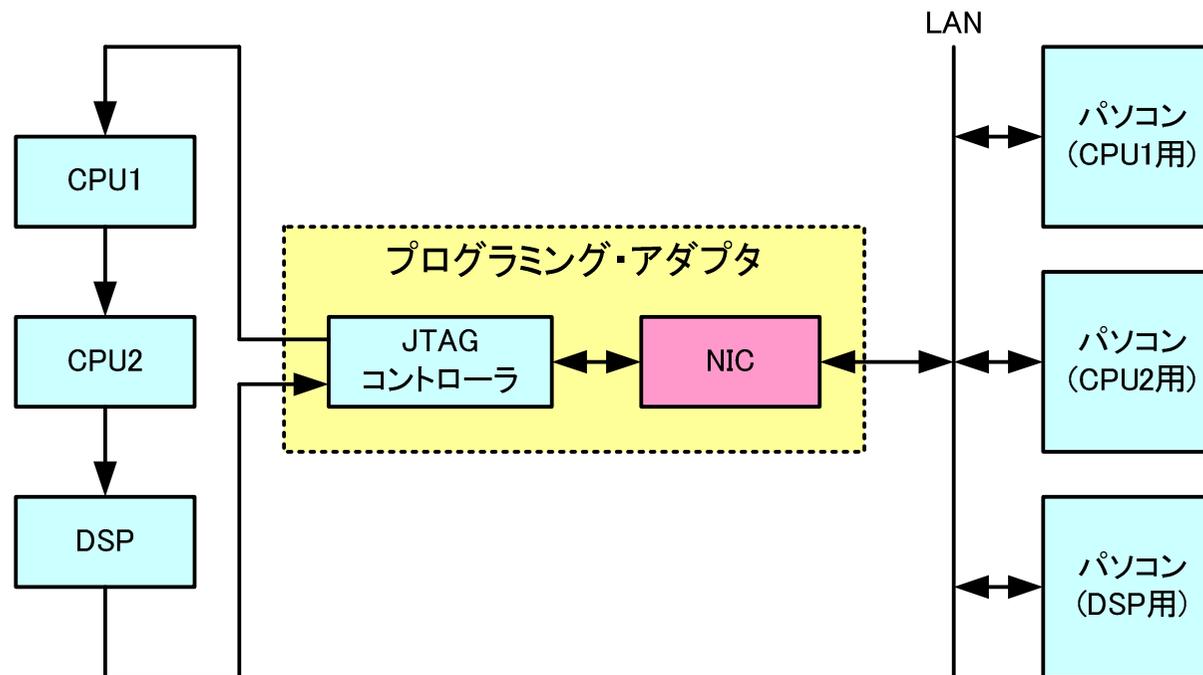


# 現状のデバッグ環境の課題

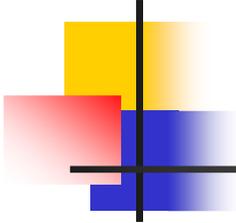
- JTAG+USBにこだわり過ぎ
  - FPGAベンダーはプログラミングアダプタをベースにし  
か考えない
  - 3rd-Partyのデバッガも基本的には1CPU用
- 現時点でマルチプロセッサ・システムのデバッグ  
を効率よく進めるには、プロセッサ毎のシリアル  
通信(RS-232C) + gdbしかない
  - 搭載CPU分のシリアルポートを基板に搭載できる？

# 理想的なデバッグ環境

ホストI/FをUSB LANとし、複数台のパソコンから同時アクセス可能に



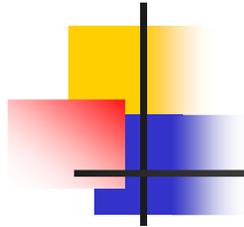
ハード/ソフトの改善をベンダーへ要請していきましょう！



## ベンダー製ソフト・マクロCPUユーザの不满

- 他CPUへの移行がしにくくなる
  - ベンダー依存だからしょうがない
- **サポートが受けにくい**
  - CPUもIPの1つで積極的にサポートしない
  - FAEはハード・サポートがメイン
  - ソフトウェアはユーザが立ち上げるしかない

技術者に余裕のある大企業or高スキルの中小企業(個人)向け



- 」従来のソフト・マクロCPUとFPGAの関係
- 」CPUアーキテクチャとFPGAをとりまく変化
- 」ベンダー製ソフト・マクロCPUとFPGA
- **現有マイコンのCPUがFPGAに**
- 」まとめ

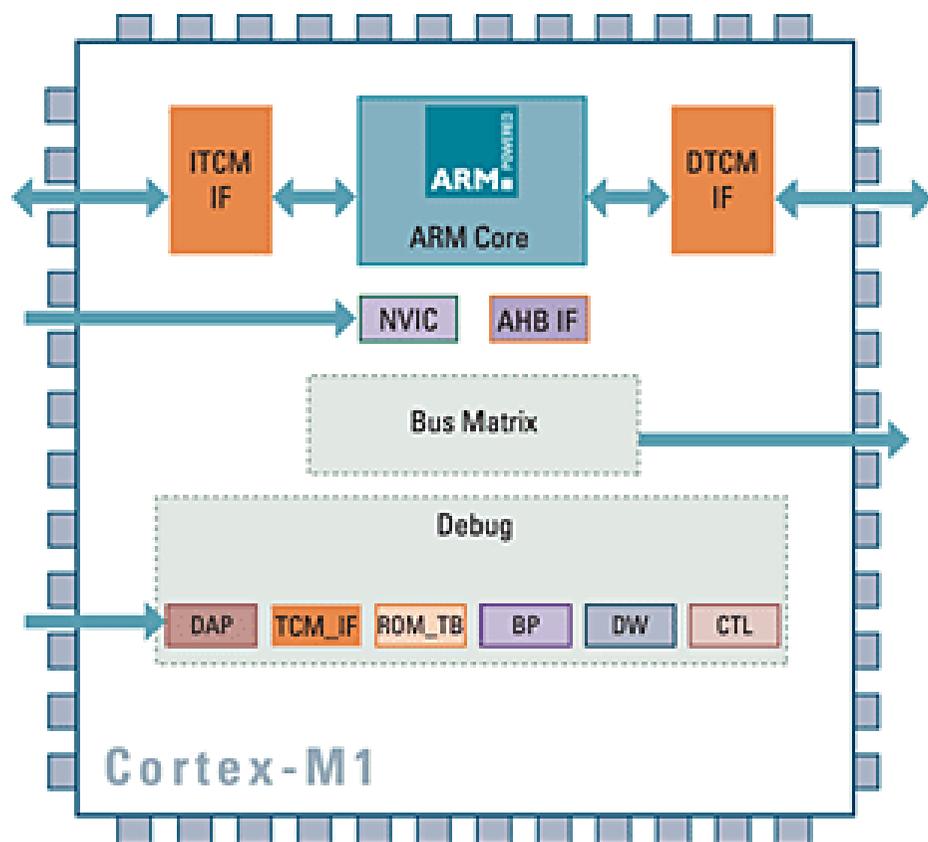
# CPU-IPをとりまく変化

- ライセンスビジネスの普及
  - ARM、MIPS、tensilica、etc
- 市販マイコンと同じCPUを使いたいというニーズ
  - ARM/Cortex-M1, CoreMP7(ARM7)
  - Freescale/ColdFire
- CPUベンダーが現存品種をIP提供しようとする動き
  - ARM/Cortex-M1, Freescale/Coldfire

SoCのターゲットとしてFPGAも視野に入れ始めた証拠

追従する国内マイコンベンダーの出現に期待

# ARMのCortex-M1

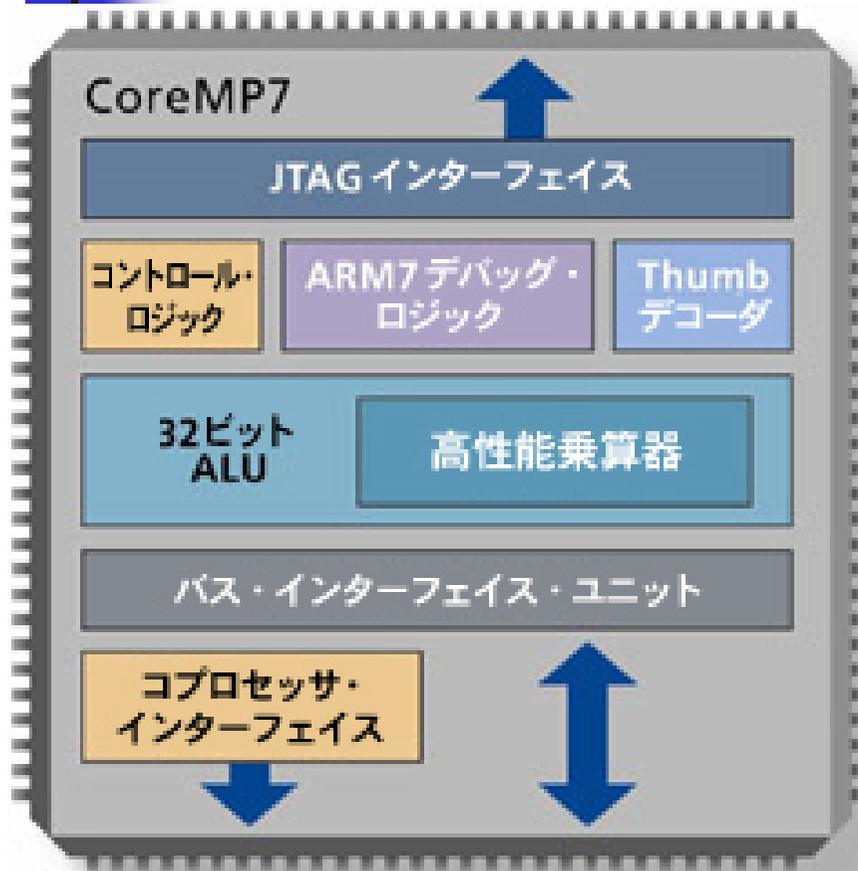


- FPGAに最適化したプロセッサ
  - Thumb命令セット対応
  - シリコン向けCortex-M3と下位互換性あり
- Actelがサポート開始
  - ProASIC3、Fusion、IGLOOシリーズ
  - ロイヤリティフリー
- Altera向けもArrow Electronicsより提供開始
  - Cyclone 版評価キット (\$2,500)
- 発表ではXilinxにも実装可能

ARM社ホームページより



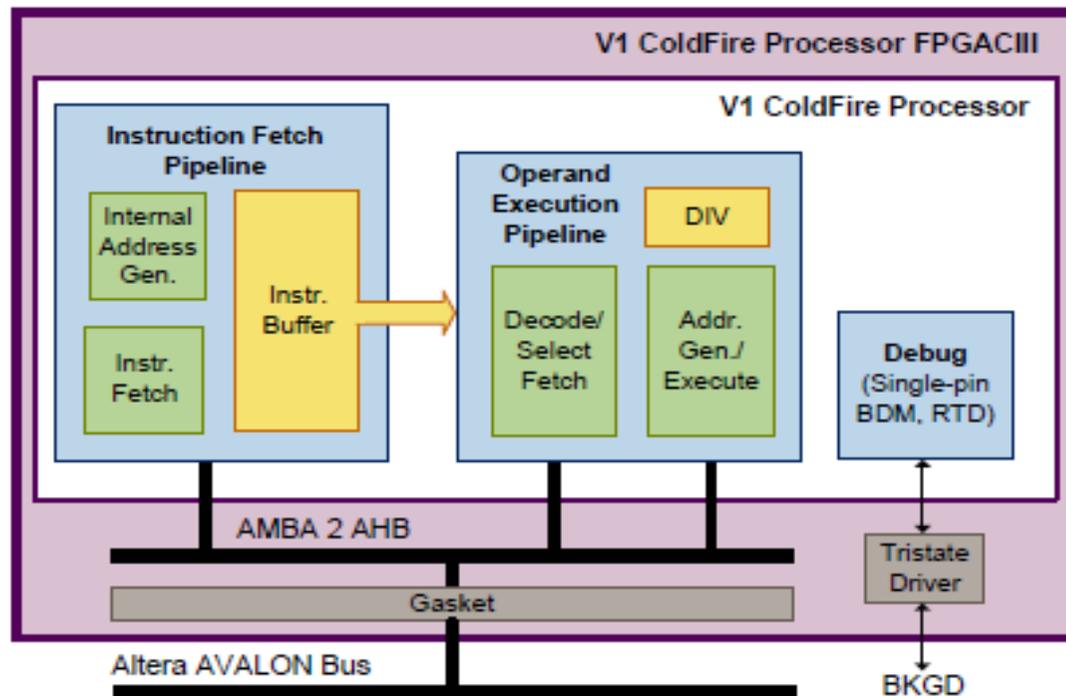
# Actel社のCoreMP7



- ARM7TDMI-S準拠
  - 32ビットARMv4T
  - 16ビットThumb
- Actelアーキテクチャ用に最適化
- デバッグI/Fサポート
  - リアルタイム・デバッグ/JTAG
- ロイヤリティフリー
- 周辺モジュールもIPとして提供

Actel社ホームページより

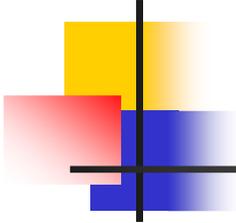
# Freescal社のColdfire



- V1 ColdFire Processor
- Background Debug Mode(BDM)をサポート
- Altera Cyclone 向けに提供
  - IPextreme社が取り扱い
- FPGA向けは要契約だがロイヤリティフリー
  - シリコン向けは開発ライセンス\$10,000.-、ロイヤリティ\$0.02/個

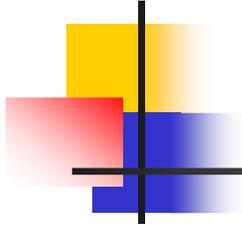
IPextreme社カタログより



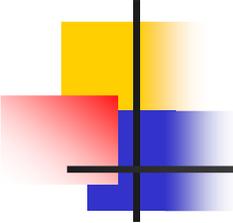


# CPU搭載FPGAの理想像

- IPの提供形態はソフト・マクロ
  - 既存のFPGAデバイスに搭載できる
  - CPUを問わず複数個搭載できる
- 実装率によって性能低下をきたさないこと
  - CPUだけ実装を固定化して性能を確保
  - できればCPUサポートモジュールまで
- 大容量のメモリを搭載していること
  - 市販マイコンは既にそうになっている
  - FPGAによる1チップマイコンの実現には必須
- 異なるCPUを混載してもデバッグが容易なこと
  - 共通化されたデバッグ・インターフェイス



- 」従来のソフト・マクロCPUとFPGAの関係
  - 」CPUアーキテクチャとFPGAをとりまく変化
  - 」ベンダー製ソフト・マクロCPUとFPGA
  - 」現有マイコンのCPUがFPGAに
- **まとめ**



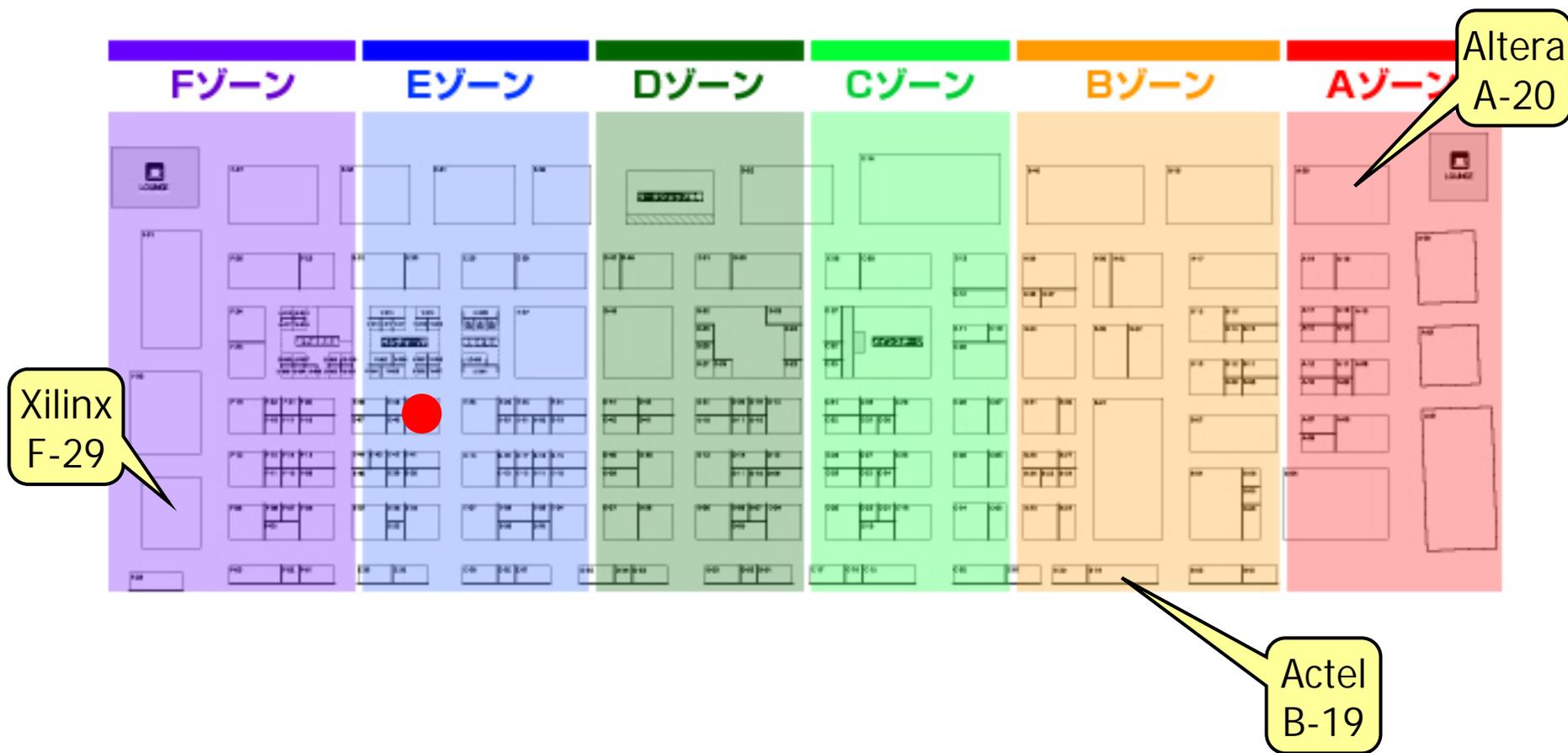
# まとめ

---

- ソフト・マクロCPUは第2期へ
  - FPGAベンダー製が牽引役は変わらない
  - 現有マイコンのCPUも候補に加わり、魅力が倍増
  
- マルチ・コア化はFPGAの方が進んでいる
  - 機能毎に最適なコスト・パフォーマンスのCPUを自由に選択できるのはFPGAにしかできない

ソフト・マクロCPUを評価している時代は終わり、積極的な実適用の時代へ

# FPGA各社のブース



# 6都市FPGAカンファレンス



- 組込みとFPGAをテーマとした講演と展示会

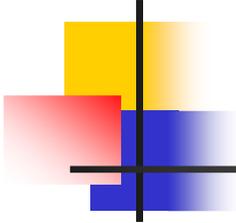
- ~~09/09(火) 東京~~
- ~~09/19(金) 金沢~~
- ~~10/10(金) 仙台~~
- ~~10/24(金) 名古屋~~
- ~~11/07(金) 大阪~~
- 12/05(金) 博多

無料で昼食  
プレゼント抽選会付き！

今年はフルセグ  
地デジチューナ、他多数

- 主催：NPO法人FPGAコンソーシアム

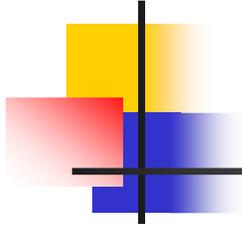
- <http://www.fpga.or.jp/6city08.html> で登録受付中！



# 第16回FPGA/PLD Design Conference

---

- Electric Design and Solution Fair 2009に併設して開催
- 期間: 2009/1/22、23
- 場所: パシフィコ横浜アネックスホール
- 4セッション×2日の全8セッション
  - 昨年より1日券方式(事前登録で¥10,500.-)
  - 2008/12よりエントリ受付開始予定
- <http://www.edsfair.com>



ご清聴ありがとうございました

