

C Q出版が最終的に決定した公式タイトル

アナログから学ぶデジタル・フィルタ設計

C Q出版に提案したタイトル

**悩み無用のデジタル・フィルタ設計
(何故あなたは悩むのか?)**

定型的なアナログ・フィルタ設計

(1) フィルタ仕様の選択・決定

- ・ LPF , HPF , BPF , BEF etc
- ・ カットオフ周波数 , 通過帯域リップル , 阻止帯域減衰量 , 肩特性 etc
- ・ バタワース , チェビシェフ , 逆チェビシェフ , 連立チェビシェフ , ベッセル

(2) 仕様に基づいたフィルタ設計 / フィルタ・モジュール購入

* フィルタ設計の場合

- ・ フィルタ設計ソフトやフィルタ設計数表・チャートを用いて LCR 定数を決定 . 比較的次数の低いフィルタなら OP アンプメーカーから提供されているアプリケーションノートや無償設計ソフトを用いて簡単に設計出来る .

* フィルタ・モジュール購入の場合

- ・ NF 回路設計ブロックのカタログから適当なものを選んで発注

==> 定型的なアナログ・フィルタを設計するのに極零点配置などで悩むことは無い

定型的なデジタル・フィルタ設計

(1) フィルタ仕様の選択・決定

- ・ F I R , I I R
- ・ L P F , H P F , B P F , B E F etc
- ・ カットオフ周波数, 通過帯域リップル, 阻止帯域減衰量, 肩特性 etc
- ・ バタワース, チェビシェフ, 逆チェビシェフ, 連立チェビシェフ, ベッセル (I I R フィルタの場合)

(2) 仕様に基づいたフィルタ設計

デジタル・フィルタ設計 = 係数設計 + フィルタ演算プログラム作成
(ソフトウェア処理)
= 係数設計 + フィルタ演算回路設計
(ハードウェア処理)

デジタル・フィルタ設計の諸問題

(1) 演算精度 (有限語長演算による演算誤差)

- ・演算語長 16bit で足りないことがあるのか？
- ・量子化レベル 16bit ならダイナミック・レンジは概算で $16\text{bit} \times 6\text{dB} = 96\text{dB}$
- ・固定小数点DSPの演算語長は16bit , FPGAでも embedded 乗算器の演算語長は 18bit 程度 .

(2) フィルタ係数量子化

- ・フィルタ係数も 16bit で足りないことがあるのか？
- ・係数量子化による問題が生じたとしても , 一回シミュレーションをするだけでフィルタ特性の「ズレ」はあらかじめ確認出来る . (LCR定数誤差による特性変位を調べるのに , SPICEを使ってモンテカルロ・シミュレーションをしなければならぬアナログ・フィルタよりもずっと簡単)

==> 有限語長演算・フィルタ係数量子化で問題が生じたのはLSIの集積度が低く , 仕様に対してギリギリの演算語長の回路しか作れなかった過去の話