

Design Wave Magazine 2005年1月号 付属Spartan-3基板でここまでできる！

～拙者、見てのとりの小規模FPGAながら、甘く見てもらっては困ります～
 持てる力を存分に発揮して、きっと皆様のお役に立ってみせませう

2004年11月18日 ~ 2004年11月19日

ET/CQブース内特設コンファレンス向け講演資料

実施会場: パシフィコ横浜

来栖川電工株式会社 中野R&Dカンパニ

応用技術部 井倉将実

同規模競合他社FPGAとの比較

比較項目	他社低価格FPGA	XC3S50
コア駆動電圧	1.5V-Vccint	1.2V-Vccint
ブート回路駆動電圧	不必要	2.5V-Vccaux
ゲート規模	同等もしくは他社のほうが大きい	
クロック系統	PLL	DCM
クロック使い勝手(1)	幅広い逡倍率	数種類のみ
クロック使い勝手(2)	競合他社のほうが使いやすい	
メモリ容量	4Kbit/1ブロック	18Kbit/1ブロック
乗算器	未実装	実装
16x16乗算性能	95MHz程度	180MHz強
DDR機能	ともにI/Oパッド内に実装	
LVDS機能	外部に抵抗が必要	抵抗素子は不要
内部ターミネーション	未実装	可能
I/Oバンク数	4バンク	8バンク
バンク使用上の注意	特に無し	バンク4(と5)は2.5V専用 細かいドライブ能力設定 スリューレートコントロール インピーダンスコントロール ダンピング機能 FPGA単独の差動I/F
Low-Voltage-I/O使い勝手	普通	

使える機能を見してみる

- 内蔵BlockRAM
 - 300MHz-Overの高速な完全DualPortメモリ構成.
 - ポートAとポートBが完全非同期である.
 - 同時書込み, また同時書出し/読出し時の処理方法が設定できる.
 - 18ビット/1024ワード(16ビットデータ+2ビットパリティ構成)
- クロックリソース
 - x2, 1/2, 90/180/270度位相差
 - 高ファンアウト/低クロックスキューバッファ内蔵(BUFG)
- 18bit x 18bit 乗算器
 - 符号付き16ビット/符号無し18ビット乗算回路の乗算器
 - レジスタード入出力機能を使って高速に演算する
 - 約250SLICE分のリソース使用を節約する

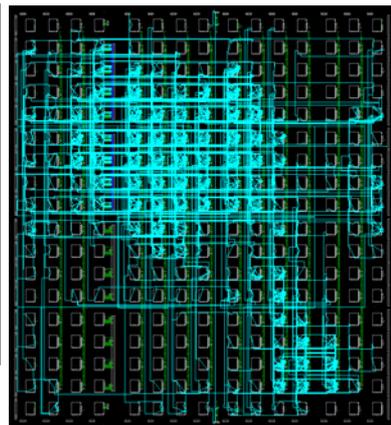
Spartan-IIIに回路を実装

```

Target Device : x3s50-5vq100
Mapper Version : spartan3 -- $Revision: 1.16.8.2 $
Mapped Date   : FRI 12 NOV 3:1:53 2004
-----Design Summary-----
Number of errors: 0
Number of warnings: 0
Logic Utilization:
  Number of Slice Flip Flops: 173 out of 1,536 11%
  Number of 4 input LUTs: 311 out of 1,536 20%
Logic Distribution:
  Number of occupied Slices: 216 out of 768 28%
  Total Number of 4 input LUTs: 311 out of 1,536 20%
  Number of bonded IOBs: 40 out of 63 63%
  IOB Flip Flops: 49
  Number of Block RAMs: 2 out of 4 50%
  Number of GCLKs: 2 out of 8 25%
    
```

Total equivalent gate count for design: 134,930

< MAP Report >



ちなみに...

Virtex-4 (XC4VLX25)の場合には「216 Slice of 10752 ---2%」
 Virtex-2/PRO (XC2VP4)の場合には「216 Slice of 3008 ---7%」
 PowerPCコアやMicroBlazeコアとともに使うもアリ。
 (次回記事のネタができた!!! 多分Interface紙面で発表...)