

# 高位合成ツールVivado HLSをI/Oデバイス制御回路の作成に活用する SDカードだってCPUを使わずに ファイル・アクセス!

森岡 澄夫 Sumio Morioka

無償提供されているVivado HLSを使うと、従来は手間がかかりすぎて作成できなかった回路を、かなり簡単に作れるようになります。高位合成ツールの設計ターゲットはデータ処理IPである場合が多いのですが、ここではI/Oデバイス制御、とりわけシーケンス設計に使う手法を紹介します。今回は、CPUを使わずにSDカード上のファイルにアクセスするハードウェアを実現してみます。

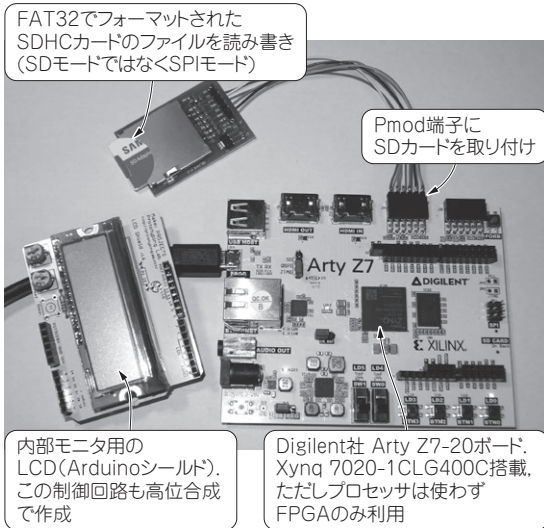


写真1 FPGAボードにオール・ハードウェア(CPUレス)でSDカードにアクセスしているターゲット・ボードはArty Z7

前号(No.18)では、マイコン向けにソフトウェアとして記述したCソースを、高位合成ツールを使ってハードウェアとしてFPGAに移植する場合の注意点について解説しました。

今回はそこで説明した基礎事項に加え、より本格的で複雑な実設計で用いる知識を、ややさみだれ式ではありますが紹介します。最後にここまでの解説の応用として、SDカード上のファイルへのアクセスを、CPUを使わずにオール・ハードウェアで行う事例を紹介します(写真1)。ソースコードは前回分と合わせて、本誌サポート・ページで公開します。

## 1 実設計で利用するテクニック&知識

● Cコード上にはないが回路には作られる端子の接続  
Vivado HLSは、Verilog HDLまたはVHDLのRTLコードを生成するので、いずれかを論理合成(Vivado)にかけることになります。生成されたRTLコードに

リスト1 生成される回路のインターフェース部(Verilog HDL)

```

module seq_test5(...);
    input ap_clk;
    input ap_rst;
    input ap_start;
    //output ap_done;
    //output ap_idle;
    //output ap_ready;

    input [0:0] req_in;
    input [7:0] a_in;
    input [7:0] b_in;

    output [0:0] ack0_out;
    output [0:0] ack1_out;
    output [7:0] x_out;
    output [7:0] y_out;
    ~以下略~

```

追加された端子

- クロック入力
- 同期リセット(アクティブH)
- H(1'b1)を接続
- 使わない
- Cコードにある入力端子
- Cコードにある出力端子

は、C言語上で指定した入出力端子以外に、幾つかの追加端子があります(リスト1)。クロック、リセット、スタートの各入力にそれぞれ適切な信号を与えます。追加されている出力端子については、特に利用せず、非接続のままで構いません。

### ● グローバル変数を介した入出力の方法

前号の説明で使った例題では、トップ階層関数の引き数を入出力ポートとしていました。それだけでなく、グローバル変数も入出力ポートにすることができます。

入出力をグローバル変数にする必要が出てくるのは、関数がたくさんあってネストも深い上、あちこちの関数から入出力を行おうとするような場合です。

グローバル変数を使う場合、ポインタではなく変数の実体をポートとして指定するので、参照時に'\*'は不要です(リスト2)。また、変数は入力と出力の両方を兼用し、リスト3のようにRTLコードには1つの変数当たり2つ端子が作られます。例外として、参照(入力)のみで代入(出力)のない変数は入力専用とみなされ、出力端子は作られません。なお、代入しかない変数でもRTLコードには入力端子が作られますが、そこには適当な定数値('0'か'1')を入れてください。