

第7章 実験目的でご自由にどうぞ

汎用「CQ-USBライブラリ」の動作メカニズム&使い方

岡村 喜博
Yoshihiro Okamura

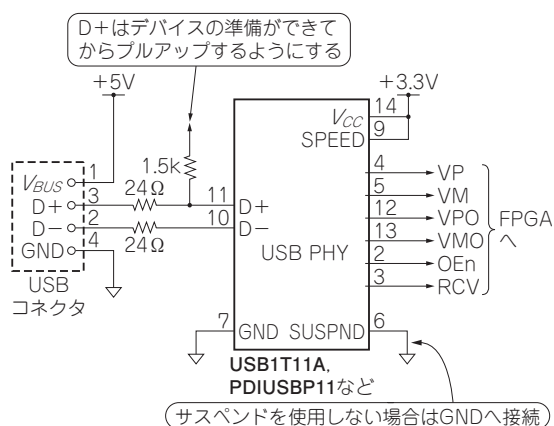


図1 特集で紹介した汎用FPGA用USB回路「CQ-USBライブラリ」は外付けUSB PHYチップとつなぐように設計されている。USB PHYチップを使用しないで実験する「裏技」もある

ここでは、特集で紹介するFPGA用汎用USB回路「CQ-USBライブラリ」の仕様や仕組みを紹介します。ライブラリを利用するにはUSBの知識は欠かせません。最低限のUSBの知識はAppendix3にまとめておきました。

入手方法&利用条件

● 入手方法

ライブラリは以下のサイトからダウンロードできます。その他、本特集で使用したファイルも含まれています。

<http://fpga.cqpub.co.jp/contents/support.php>

<http://sonicl.biz/CQ/FPGAMag/>

● 利用条件

本ライブラリは読者の皆さまが私的な研究・実験目的で使用するために提供されるものであり、有償・無償にかかわらず第三者への提供、商用および組織的な

表1 FPGA用汎用USB回路「CQ-USBライブラリ」の仕様(執筆2017年9月時点)

項目	仕様など
対応規格	USB 2.0
スピード	フル・スピード
実装可能なコンフィグレーション	1
実装可能なエンドポイント	0, 1, 2, 3
クロック	48MHz単一(アシンクロナス同期方式のオーディオOUTを実装する場合には24.576MHzのオーディオ・クロックが必要)
電源と電源管理	<ul style="list-style-type: none"> バス・パワー(物理的な電源は問わない) リモート・ウェイクアップはサポートしない サスペンドの検出信号の出力とサスペンド移行5ms前の信号を出力
ターゲット・デバイス	MAX10シリーズ(インテル, 旧アルテラ)
ターゲットEDA	Quartus Prime Ver.17.0.0以上(Liteエディションで可)
提供形態	QXP形式

使用を目的とした利用はできません。

● 対応できるUSB PHY

▶ 使える外付けPHYチップ

CQ-USBライブラリは、市販されているフル・スピード(12Mbps)のUSB PHYチップとインターフェースをとるように設計されています。以下が使用できます。

- USB1T11A (Fairchild)
- PDIUSBP11 (NXP)
- など

PHYチップとFPGAを接続する回路を図1に示します。フル・スピード・デバイス(12Mbps)の場合、D+をプルアップする必要があります。D+はデバイスの準備ができてからプルアップするようにします。

▶ USB PHYチップを使用しないで済ませる「裏技」

USB PHYチップの入手が困難な場合にはFPGAの