

低電圧化/大電流化に対応し、より高度な柔軟性を 求められる最先端FPGA向け電源 高性能FPGA用電源の課題とデジタル制御電源のメリット

中原 延浩 Nobuhiro Nakahara

高性能FPGAの電源は低電圧・大電流化が進んでいます。電圧精度の向上やリップルの低減がますます要求されるため、これまでのアナログ回路による電源制御では対応できなくなっています。そこでデジタル制御電源が登場しました。PMBusと呼ばれるデジタル・インターフェースを使ったシリアル通信機能を搭載し、出力電圧調整やモニタリングなどにも対応します。

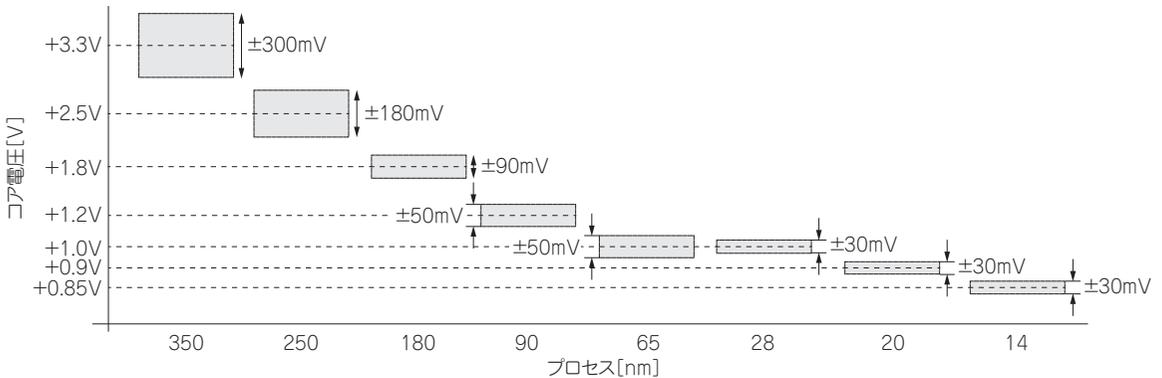


図1 プロセスの進化とコア電圧の推移

1 高性能FPGA向け電源の 3つの課題

半導体プロセスの微細化により、トランジスタのゲート長は短くなり、電源電圧の低電圧化が進み、実装される論理ブロックの数も飛躍的に増えています。より多くの用途に対応できるように搭載される機能もさらに増加し、設計自由度も向上しています。これにより、FPGAや同様の高集積ロジック・デバイスの電源要求に対して、大きく3つの新たな課題が見えてきます。

- (1) 低電圧化
- (2) 大電流化
- (3) 柔軟性

● その1：低電圧化

半導体プロセスの進化にともない、トランジスタ・サイズは小さくなり、高速になり、デバイスのパフォーマンスは大きく向上しています。一方、副作用としてトランジスタ・ゲート長が短くなるため、トランジスタの耐圧の低下が避けられなくなります。従って、デバイスを破壊しないために電源電圧を下げざるを得なくなります。現在の、最先端デジタルLSIでみると、コア電圧は0.9～1.0V程度まで低下していて、許容電圧範囲も±30mVとかなり狭くなっています(図1)。

この許容電圧範囲内に、デバイス、温度ばらつきとリップルを考慮して設計をしなければなりません。

● その2：大電流化

消費電流増加の原因として、半導体プロセスの微細化によりさまざまな機能が一つのデバイスに組み込まれるようになったことも一因ではありますが、特にFPGAなどの高集積ロジック・デバイスに関しては、実装される論理ブロック数が消費電流に大きく影響します。

図2はIntel社製FPGAであるArria 10とStratix 10の論理ブロックの使用率に対する、コア電源の電流値の関係をグラフ化したものです。20nmプロセスを使用するArria 10は、最大115万の論理ブロックが実装可能で、仮に使用率100%とした場合のコア電流は50A程度となります。同じように14nmプロセスを使用するStratix 10は最大275.3万の論理ブロックが実装可能で、最大のコア電流は150Aにのぼります。

ここまで大電流の領域になると、基板の寄生抵抗成分も無視できなくなり、基板上での電圧降下についても考慮が必要となりますし、そもそもこの電流自体を実測すること自体も簡単ではいかなくなります。さらに、このような大電流がダイナミックに変化するため、安定した電源供給を実現するために、バルク・コンデンサ容量の増加や、電源自体の過渡応答特性改善についても検討する必要があります。