

高位合成ツールVivado HLSをI/Oデバイス制御回路の作成に活用する ソフトウェアとして記述したCを ハードウェアとして動かすには

森岡 澄夫 Sumio Morioka

無償提供されているVivado HLSを使うと、従来は手間がかかりすぎて作成できなかった回路を、かなり簡単に作れるようになります。高位合成ツールの設計ターゲットはデータ処理IPである場合が多いのですが、ここではI/Oデバイス制御、とりわけシーケンス設計に使う手法を紹介します。今回は簡単な入出力制御をCコードで記述し、意図した動作になるよう指定する方法について解説します。

FPGAでは、マイコンよりもずっと多数のセンサ/アクチュエータを高速制御でき、本格的なシステムが組める

1. 多種・多数のデバイスを、好きな個数接続
2. 多数のデバイスを制御しても、速度低下や同期ずれの心配がない
3. I/Oピン枯渇を気にしなくて済む
4. 一部が故障しても全体が停止せず高信頼

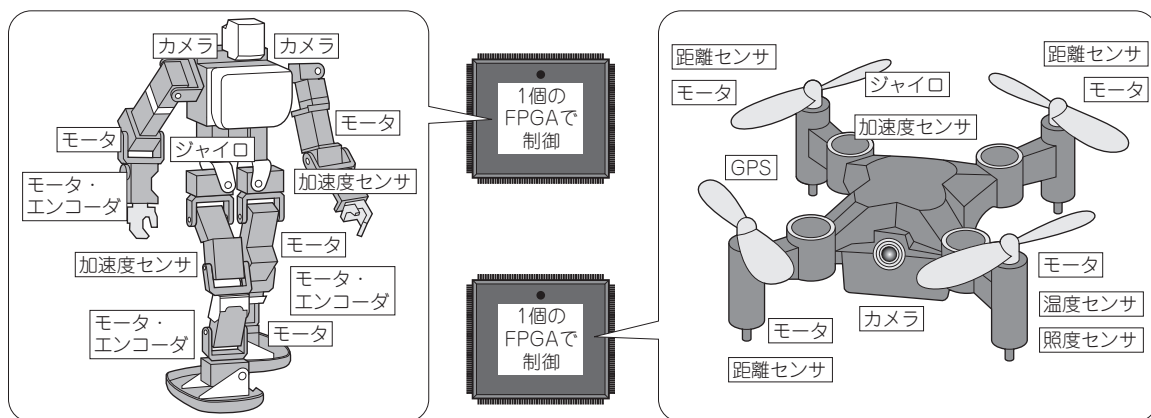


図1 FPGAで入出力デバイス制御を行うメリット

1 デバイス制御をハードウェアで行うメリット

● センサなどを駆使した本格的なシステムを組みたい

IoTデバイスやロボット、ドローンなど多くの組み込み関連機器が高機能になり、1個の装置の中だけでも多くのI/Oデバイス、つまりセンサやモータ、アクチュエータが使われるようになってきました(図1)。

こうしたI/Oデバイスの制御はマイコンで行われることが多いのですが、デバイスの数が増えたり、カメラやジャイロなどのようにデータ・レートが高いセンサが必要になってきたりすると、処理能力が追いつかなくなります。I/Oピンやペリフェラルのチャネルが足りなくなるという問題も発生します。

また、例えばラズベリー・パイなどスマホ並みに高速・高機能な小型コンピュータもありますが、そうしたLinuxボードは低レベルでのリアルタイム・デバイ

ス制御には向いていません。

● FPGAならデバイスが多くなっても余裕

このように速度やリソースがネックになるとき、専用SoCを作る場合を除けば、FPGAを使うのはベストに近いアプローチです。マイコンのペリフェラルに当たる回路を好きなだけ設置でき、速度にも十分すぎる余裕があるからです。I/Oデバイス数が多くても、それぞれの制御回路を並列に並べてしまえば、速度低下を起こすこともありません。SPIやI²Cといったシリアル・バスについても、1本のバスに多数のデバイスをぶらさげる必要がなく、デバイスごとにバスを設けることもできるので、構成や制御が単純になり全体的な信頼性の面でも有利です。

従来、そうしたメリットがあってもFPGAがあまり好まれなかったのは、回路設計(特にシーケンス設計)が簡単ではなかったからです。しかし、Vivado HLSの無償化でこの事情は大きく変わりました⁽¹⁾⁽²⁾。