

FPGAにRFクラスのアナログ・テクノロジーを統合

ソフトウェア無線を実現するXilinx社のRFSoc登場

神保 直弘 Naohiro Jinbo

Xilinx社は2017年2月、RFクラスのアナログ・テクノロジーを統合したAll Programmable SoCである“RFSoc”を発表しました。従来はJESD204Bプロトコルによる高速シリアル・インターフェースで外付けしていた高速A-D/D-Aコンバータを、プログラマブル・デバイスに内蔵したものです。ここではRFSocの概要について紹介します。



図1 All Programmable RFSocとは

● 登場！ All-Programmable RFSoc

オール・プログラマブルRFSocは、通信グレードのRFサンプリング・データ・コンバータとデジタル信号処理サブシステム、ARMクラスのプロセッサ・システム、FPGAファブリックを1つのモノリシック・デバイス上に統合したデバイスです(図1)。その結果、デジタル部とアナログ部のシステム統合が実現されます。特にアナログ/デジタル信号チェーンは、アナログ設計者が柔軟に構成できるように、強化されたDSPサブシステムによってサポートされています。これにより、システム消費電力とシステム・フットプリントが50～75%削減される上、進化を続ける仕様とネットワーク・トポロジに適應する柔軟性も確保できます。

● 設計期間の短縮

従来の無線システムは、プロセッサ、コンフィギャラブル・ロジック、コネクティビティIP、データ・コンバータで構成されます。高いRF周波数帯で動作する場合、標準的なシングル・チャンネルA-Dコンバータは約2W、D-Aコンバータは約1.25Wの電力を消費します。システム統合によるコンポーネント数の削減は、消費電力の削減とフォーム・ファクタの小型化につながり、チャンネル数の多いシステムでは非常に大きな効果があります。これ以外にも、統合によってシステム設計が大幅に簡素化される利点があります。

これは主に、多数のディスクリット・コンバータへのインターフェースは、I/Oに大きな負担がかかるためです。現在のコンバータの大半は、広帯域幅に対応してJESD204Bプロトコルに基づく、最大12.5Gbpsの高速シリアル・インターフェースを使用していま

表1 統合型サブシステムを使用したデジタル無線システムの消費電力削減

チャンネル本数/周波数	4×4 100MHz	4×4 200MHz	8×8 100MHz
ディスクリット・システム			
プログラマブル・デバイス	15W	23W	23W
A-D/D-Aコンポーネント	16W	16W	29W
総消費電力	31W	39W	52W
RFアナログ統合型システム			
プログラマブル・デバイス+RFサブシステム	13W	14.5W	25W
総消費電力の削減率	41%	37%	48%

す。この手法には多くの問題があります。

まず、JESD204B対応IPコアの実装には時間がかかり、貴重なFPGAファブリックを使用しなければならず、大きな電力が消費されます。次に、このような高データ・レートではシリアルI/Oの消費電力はかなり大きくなります。

さらに、シリアル・リンクの確立はおそらく最も難しい課題です。12.5Gbpsでは信号ひずみが問題となります。これは主に、低価格で信号減衰が大きい銅配線路上に高ライン・レートで信号を伝送しているためです。シリアル・リンクの設計プロセスは非常に面倒で、アナログ設計者の大きな負担となっています(図2)。

● 消費電力最大50%削減

表1に示すように、ディスクリットA-D/D-Aコンバータの消費電力はかなり大きいため、統合により総消費電力は、標準的な送信4本、受信4本(4Tx/4Rx)のアンテナ構成で約40%まで削減されます。ディスクリット・コンバータからの電力は、無線デジタル・フロント・エンドの電力を超え、送信8本/受信8本(8Tx/8Rx)のシステムでは50%以上電力を削減できます。

● フォーム・ファクタ最大75%小型化

トランシーバ数とアンテナ数が多いシステムほど、多くのコンバータが不要になるため、フォーム・ファクタの縮小率は当然大きくなります。標準的なRF用