

第2章 ARMやMIPSと比較すると見えてくる設計思想

初めてのRISC-Vアーキテクチャ

中森 章 Akira Nakamori

ここではRISC-VとはどんなCPUアーキテクチャなのか、レジスタ・サイズやその本数、命令セットの概要について、他のCPUアーキテクチャと比較しながら解説してみます。比較対象CPUとして広く普及しているARMと、RISC-Vと非常によく似ているMIPSを取り上げてみました(筆者がMIPSに詳しいという理由もある)。仕様書でも明確に規定されておらず、実装依存となっている部分も多いことがわかります。

1. RISC-VとはどんなCPUか

● 大学発の命令セット・アーキテクチャ

RISC-Vとは、カリフォルニア大学バークレー校(以下UCバークレー)のコンピュータ・サイエンス課の研究者によって、2010年に開発が始まったRISC(縮小命令セット・コンピュータ)のプロジェクトです。『ヘネパタ本』で有名なDavid Patterson元教授もRISC-Vを支援しています。RISC-VはISA(命令セット・アーキテクチャ)、つまり命令の仕様書です。厳密にはプロセッサの名称ではありません。

● 5番目のアーキテクチャだからV

RISC-Vという名称はUCバークレーの5番目の主要なRISC ISAデザインを意味します。過去の4つとは、RISC-I、RISC-II、SOAR(RISC-III)、SPUR(RISC-IV)です。ただし、'5'を示すローマ数字の'V'には変化(variation)やベクタ(vectors)という意味も含まれています。それはISA設計の目標に、さまざまなデータ並列アクセラレータを含む一連のアーキテクチャ研究をサポートできるようにすることもあるからです。

● コンピュータ実装技術研究のための素材

RISC-Vは、実際のハードウェア実装の研究アイデアに関心を持つ研究教育のニーズをサポートするために開発されました。RISC-VプロセッサのRTLデザインは、UCバークレーの複数の学部および大学院のクラスで使用されています。つまり、コンピュータの実装技術を研究するための素材なのです。UCバークレーでは、2017年6月までに、11種類のRISC-Vアーキテクチャを実装した実際のシリコンが作られているそうです。

● RISC-VはMIPSに似ている？

1980年頃、Patterson元教授の主導で、UCバークレーで開発されたRISC-IやRISC-IIは、スタンフォ

ード大学のMIPSとならび、RISCの基礎を作ったアーキテクチャです。その商用としての発展形にはSPARCがあります。

しかし、RISC-Vのアーキテクチャは、バークレーRISCというよりもMIPSに似ています。というか、ヘネパタ本の初版で紹介されたDLX^{デラックス}プロセッサのアーキテクチャに非常によく似ています。DLX自体はスタンフォード大学のRISC研究に基づく仮想プロセッサですが、そのアーキテクチャはMIPS R2000/R3000とより二つです。

● MIPSをより簡略化

しかしMIPSは、分岐遅延スロットや複雑な命令、HI/LOレジスタという複雑なレジスタ構造など「過去の古い資産」を含み過ぎているとして、RISC-Vでは簡略化が図られました。

また、研究に使うためには、ライセンスなどの問題を気にすることなく、誰もが自由に使用することができる、新しいデファクト・スタンダードなプロセッサ・アーキテクチャが必要だったことも、RISC-V開発の動機のようなのです。

2. RISC-Vのアーキテクチャ

DLXを参考にしたといわれるRISC-Vは、(UCバークレーの生まれにもかかわらず)スタンフォード大学で生まれたMIPSの系譜といっても過言ではありません。RISC-VのISAを詳しく見ていく前に、まずはその概要について説明します。

● レジスタ長は32/64/128ビットの3種

ARMやMIPSの汎用レジスタのレジスタ長(ビット・サイズ)は当初は32ビットのみで、後から64ビットが追加されました。RISC-Vでは初めから32/64/128ビットの3種類が規定されています。これにより、マイコンからサーバ用途までをスケラブルにサポートすることを目指します。