

Vivadoで始めるソフトIPプロセッサMicroBlaze & MicroBlazeMCS DDRメモリを接続して大容量メモリにアクセス！

横溝 憲治 Kenji Yokomizo

FPGA マガジン No.10～12の3号では、FPGAにソフトCPUコアMicroBlazeMCSおよびMicroBlazeを組み込みましたが、メモリはFPGA内蔵のブロックRAMだけで構成しました。しかしこれでは、数十Kバイト程度のRAM容量しか実現できません。今回は外付けにDDR3 SDRAMメモリを接続し、MicroBlazeから大容量メモリを扱えるようなシステムを構築してみます。

1 MicroBlazeにDDR系メモリを接続する

● **大容量メモリが必要なならDRAM系メモリを外付け**
 これまでは、FPGA内蔵のブロックRAMだけでプログラムを動かす、小規模なMicroBlazeシステムを構築してきました。今回は、より大容量のメモリを扱えるシステムを構築してみます。大容量メモリが必要となれば、やはりDRAM系のメモリを外付けし、FPGA内にDRAM制御回路を実装してアクセスする必要があります。

Xilinx社のFPGAには外部メモリとのインターフェースIPとして、MIG (Memory Interface Generator) が用意

されています。ここではMicroBlazeからMIG経由で外部メモリへのアクセスを試してみます。

● DRAM系メモリを接続するのに必須のMIG

MIGは、Xilinx社が提供する外部メモリ・インターフェースIPです。表1に7シリーズのMIGが対応するメモリ種別を示します。ユーザ設計回路やMicroBlazeとAXI経由でアドレスやデータを受け渡し、外部メモリへ書き込みと読み出しを行います(図1)。

SDRAM系メモリで必要な、メモリの初期化やリフレッシュ処理などもMIGが生成してくれます。

● 入門ボードArtyでMIGを試してみる

今回のターゲット・ボードは、入門FPGA評価ボードArty (Digilent社)を使ってみます(写真1)。ArtyはFPGAとしてAritx-7 (XC7A35TICSG324-1L)を搭載し、外部メモリは256Mバイト(128Mワード×16ビット幅=256Mバイト)のDDR3 SDRAMが実装されています。

また設計ツールは、Vivado2016.3を使用しました。

● 最終的に画像表示システムを実現する

今回作成するシステム概要図を図2に示します。初めにMicroBlazeとMIGの組み合わせで外部メモリへのアクセスを確認します。その後に大容量メモリを活かす事例として、画像表示回路(DMA, VTC, VideoOUT)を追加してメモリ上のデータを画像表示してみます。

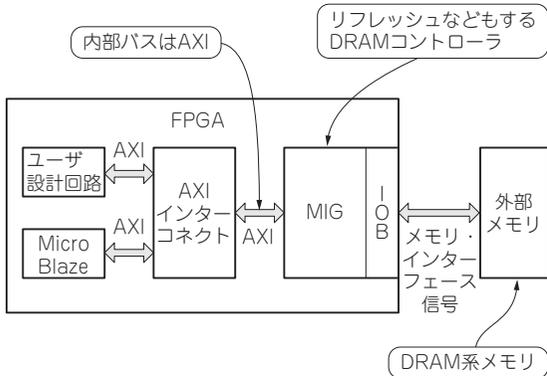


図1 MIGを使ったシステム構成図

表1 7シリーズMIGが対応するメモリと使用リソース

対応メモリ	使用リソース					
	LUT	DFP	BUFG	PLLE2	MMCM	ブロックRAM
DDR3 SDRAM	14016	9019	4*1	1	2*1	2
DDR2 SDRAM	9267	6038	2	1	1	0
QDR II+ SRAM	3209	2568	2	1	1	0
RLDRAM II	6261	4519	2	1	1	7
RLDRAM 3	9039	7950	2	1	1	12
LPDDR2 SDRAM	3952	3285	2	1	1	0

※1：動作周波数により使用個数が変動