

第1章

無料の Vivado HL WebPACK Edition 2016.4 で高位合成にチャレンジしよう (AXI4 ストリーム編)

AXI4 ストリームによる
ラプラシアン・フィルタ処理回路の実装

小野 雅晃 Masaaki Ono

ARM コア内蔵 FPGA “Zynq” の内部バス AXI4 には、大きく分けて AXI4 ライト、AXI4 マスタ、そして AXI4 ストリームがあります。筆者はこれまで本誌で、前者2種類について解説してきました。今回はいよいよ最後の AXI4 ストリームを使う事例について紹介します。AXI4 ストリームは、ビデオ信号のように順番にデータが流れる信号の処理に最適です。実際に実装する回路は前回同様にラプラシアン・フィルタ回路とします。



(a) 元画像



(b) 変換後画像 (3×3)

図1 ラプラシアン・フィルタの例

● FPGA マガジン No.16 のおさらい

FPGA マガジン No.16「高位合成ツール Vivado HLS 特設記事」の第1章で、第0段階としてアルゴリズムの通りにラプラシアン・フィルタ処理 (図1) を C で記述して性能を確かめました。

それを高速化するために第2章では、第1段階としてライン・バッファを実装しました。次に第2段階として、第1段階のソースコードを整理して性能を高めました。これにより、ソースコードにより性能が変化することを実感することができました。

第3段階では、今までのように1ピクセルずつリードする代わりに、memcpy() 関数によるバースト転送で1行ずつバースト・リードを行いました。さらに3.5段階として、第3段階の高速化のボトルネックを指示子により解消しました。

最終の第4段階では、さらにレジスタやRGB2Y変換器を追加することで、第0段階と比較して約25倍の性能向上に成功しました。

● AXI4 ストリーム編でやること

今回の AXI4 ストリーム編では、現在の最新版の Vivado HLS 2016.4 を使用して、筆者が考える最強と思われるソリューションの AXI4 ストリーム・インターフェース (以下 AXI4 ストリーム) を、Vivado HLS から使用する方法を解説します。AXI4 ストリームはプロトコルが AXI4 マスタよりも簡単なので、すぐに覚えられると思います。

AXI4 ストリームはストリームという性質上、ピクセルが順番に IP コアに入力されます。そしてそのデータをフィルタ処理し、またその順番に出力することになります。メモリのリード/ライトは DMA IP コアにお任せして、DMA されたデータをストリームとして処理するための IP コアが、今回説明する AXI4 ストリームの IP コアになります。

今までの AXI4 マスタの IP コアでは、メモリと連続的にデータ転送する DMA 部分も IP コアの機能として実装されていました。しかし、AXI4 ストリーム IP コアでは DMA 部分は搭載せずに、ストリームとして