

第5章 とことん高速化するならやっぱりHDLをゴリゴリ書くしかない！

# 手仕上げHDLで 高速フーリエ変換をさらに速く！

岩田 利王 Toshio Iwata

第4章では高位合成ツールでHDLを生成しました。本章では、C言語記述のFFT処理と同等の回路を、ハードウェアに最適な形でHDLで書き直し、ZynqのPL部に実装します。どのようにfor文をカウンタに割り当て、配列をRAMに割り当ててるのか、そしてカウンタ出力からRAMアドレスを作り出すテクニック、さらにRAMを読んで演算し、結果をRAMに書き戻す回路の組み立て方について解説します。

## 高位合成されたHDLよりも5倍高速になる！

あらかじめ、本誌サポート・ページから、本特集のアーカイブ・ファイルをダウンロードして解凍しておいてください。Chapter5¥ModelSimフォルダにModelSimプロジェクトがあります。手仕上げHDLを論理シミュレーションして、FFTにかかるサイクル数を測ってみましょう。

### 1. ModelSimで 論理シミュレーションする

ModelSimをスタートし、メニューの「File」→「Open」からプロジェクトfft.mpfを開きましょう。エラーが出て開けないときは、プロジェクトを新規作成してください。ModelSimの使い方については、参考文献(2)など参照してください。

● コンパイルしてRUNしてみる

メニュー「Compile」→「Compile Order」で、コンパイルの順番が下位モジュール→上位モジュールになっているのを確認し(図1)、Compile Allを選択します。

エラーなく通ったら、Transcriptでdo run.doと入力するとシミュレーションがスタートします(図2)。

● FftMyRtlモジュールの入出力の波形を見てみる

ソースのトップ・モジュールはFftMyRtl.vhdです

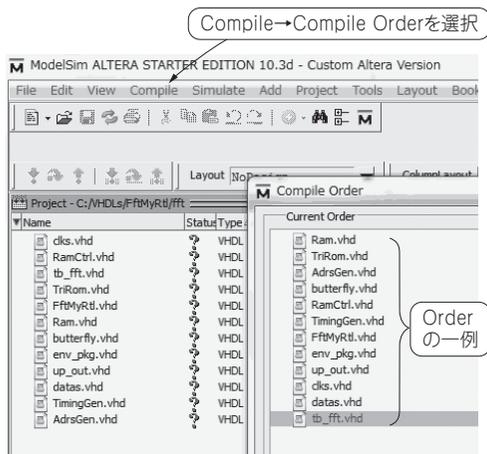


図1 下位モジュールからコンパイルする

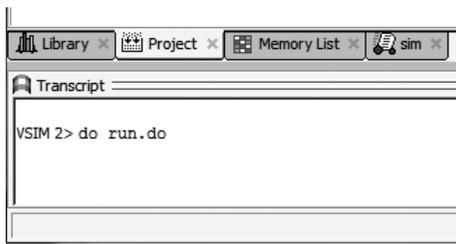


図2 do run.doとタイプしてシミュレーション開始

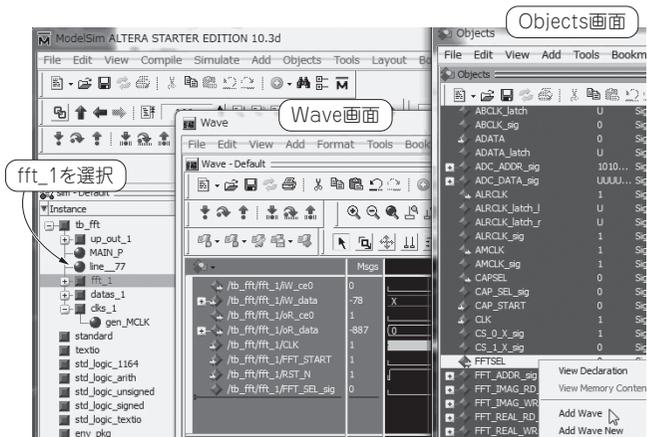


図3 Objects画面から信号をAddする