





第4章では高位合成ツールでHDLを生成しました.本章では、C言語記述のFFT処理と同等の回路を、ハードウェアに最適な形でHDLで書き直し、ZynqのPL部に実装します.どのようにfor文をカウンタに割り当て、配列をRAMに割り当てるのか、そしてカウンタ出力からRAMアドレスを作り出すテクニック、さらにRAMを読んで演算し、結果をRAMに書き戻す回路の組み立て方について解説します.

高位合成されたHDLよりも5倍高速になる!

あらかじめ,本誌サポート・ページから,本特集の アーカイブ・ファイルをダウンロードして解凍してお いてください. Chapter5¥ModelSimフォルダに ModelSimプロジェクトがあります.手仕上げHDLを 論理シミュレーションして,FFTにかかるサイクル 数を測ってみましょう.





38

図3 Objects 画面から信号を Add する

1. ModelSimで 論理シミュレーションする

ModesSimをスタートし、メニューの「File」→ 「Open」からプロジェクトfft.mpfを開きましょう. エラーが出て開けないときは、プロジェクトを新規作 成してください. ModesSimの使い方については、参 考文献(2)など参照してください.

コンパイルしてRUNしてみる

メニュー「Compile」→「Compile Order」で、コンパ イルの順番が下位モジュール→上位モジュールになっ ているのを確認し(図1), Compile Allを選択します. エラーなく通ったら、Transcriptでdo run.doと入 力するとシミュレーションがスタートします(図2).

● FftMyRtlモジュールの入出力の波形を見てみる

ソースのトップ・モジュールはFftMyRtl.vhdです

			Obje	cts画面)
ModelSim ALTERA STA	RTER EDITION 10.3d		Objects	
File Edit View Compi	le Simulate Add Objects T	ools Layout Bo	File Edit View Add	Tools Bookm
Ĩ•☎₽७∰ ≵№∰±⊇≙ 0•₩ ₽兩			Dipects	V Davids in the
j 💁 🛊 🖛 🖦 i Efi 🦷	Wave Wave		ABCLK_latch	
<u> </u> ‡≈‡ ≛≩≛	File Edit View Add Form	nat Tools Book	ADATA	0 Sig U Sig
(fft_1を選択)	Wave - Default	18.0010	ADC_ADDR_sig	1010 Sig UUUU Sig
Vinstance	+ 2 + + 2 +	0.0.0.19	ALRCLK	1 Sig U Sig
■ tb_fft +- ■ up_out_1	<u> </u>	о Пафіція	 ALRCLK_latch_r ALRCLK_sig 	U Sig 1 Sig
-@ MAIN_P -@ line_77		Msgs	AMCLK	1 Sig 1 Sig
+- fft_1 +- datas_1	/tb_fft/fft_1/W_ce0	0	CAPSEL CAP_SEL_sig	0 Sig 0 Sig
⊡- ■ dks_1 @ gen_MCLK	<pre>//b_fft/fft_1/oR_ce0</pre>	1	CAP_START	0 Sig 1 Sig
standard 🖬 textio	////////////////////////////////////	1	CS_0_X_sig	1 Sig 0 Sig
std_logic_1164	↓ /@_ft/fft_1/RST_N		FFT_ADDR_sig	liew Declaration
std_logic_unsigned std_logic_signed std_logic_textio	//////////////////////////////////////		FFT_IMAG_RD	Add Wave 🔓