

第4章

Vivado HLSで生成したRTLをFPGAに実装して性能比較

高位合成でCソースから 楽々ハードウェア化

岩田 利王 Toshio Iwata

本章ではXilinx社が提供する Vivado HLS (High Level Synthesis) という高位合成ツールを使用し、第3章で動かしたFFTのC言語ソースをHDLに変換してFPGAに実装します。また、正しく変換されFPGAに実装されたかどうか検証するために、第3章で使用したinwave.txtをFFTの入力データとして使用し、その際の結果fft.txtをFFTの期待値として利用します。

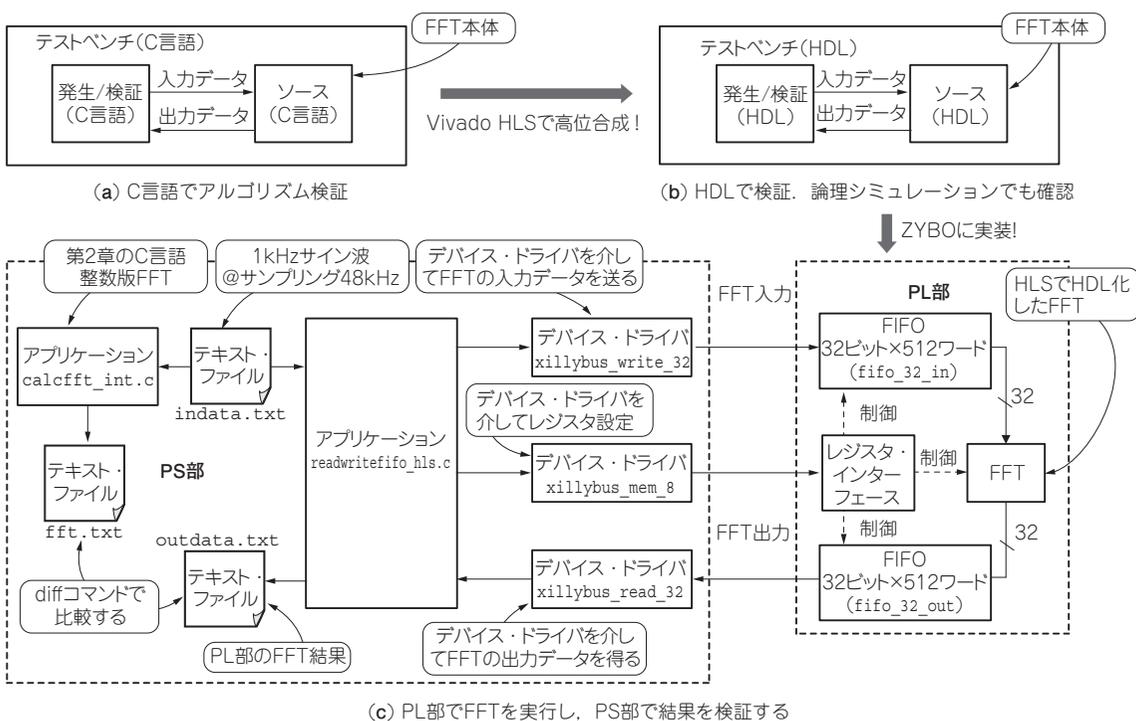


図1 高位合成ツールを使った設計手法

1. 高位合成ツールを使ってC言語をFPGAに実装するまでのステップ

Vivado Design Suite-HLx Edition 2016をインストールすると、高位合成ツール Vivado HLSが無償で使用できます。なお、他のバージョンでは高位合成の手順などが変わってくるかもしれません。また、後半では性能の比較なども行いますが、別の高位合成ツールを使えばまた違う結果になるであろう点を考慮してください。

- C言語で書かれたアルゴリズムの検証
まず、C言語においてアルゴリズム検証を行います。

図1(a)のようにテストベンチはソース(FFT本体)に入力データを供給し、その出力を検証します。

- テストベンチもHDLで提供されるのですぐにシミュレーションができる
その後テストベンチとソースを高位合成します。Vivado HLSはソース(FFT本体)はもちろん、テストベンチもHDLに変換してくれるので、論理シミュレーションも簡単に行うことができます[図1(b)]。

- PS部はPL部の検証もつかさどる
今回はZYBOに実装するので、ZynqのPL(Programmable Logic)部にFFTを実装します。またPS(Processor System)部はXilinx(Xillybus社が提