

Altera PLL Reconfig機能の生成手順から実機での動作波形観測まで 動的にクロック周波数の変更が可能なPLLの使い方

田坂 光成 Mitsushige Tasaka

ここではAltera社（現在はIntel社のFPGA部門）のFPGAを使って、PLL（Phase Locked Loop）の出力周波数を動的に切り替える方法について解説します。IPコアの生成手順から制御レジスタの概要、任意の周波数を出力させるための設定値の計算方法について解説します。最後に実際にCyclone V GXにPLLテスト回路を実装し、動的にクロック周波数を切り替えて出力波形を観測してみます。

1 動的に周波数の変更が可能なPLLとは

● 動作状態でクロック周波数を切り替えたい！

FPGAを用いてクロック同期回路を設計しているとき、そのクロック周波数を変更または切り替える機能が欲しくなることがあります。例えば、「性能を上げるために高速で動作するモード」と、「消費電力低減のために低速で動作するモード」といったように、動作周波数を動的に切り替えたい場合や、接続相手が存在するシステムで相手側に合わせて動作周波数を変更する必要がある場合などです。

このような場合に、「動的に周波数の変更が可能なPLL」が必要になります。これを実現するためにAltera社のFPGAでは、「Altera PLL Reconfig」というIPコアが提供されています。

● 普通に設計するとPLL出力周波数は固定

通常のPLLのみでFPGAを構築すると、PLLが出力する周波数は設計段階で固定することになります（図1）。もちろん、例えばPLLの設定を50MHzとして設計したFPGAコンフィグレーション・データと、80MHzとしたFPGAコンフィグレーション・データの2種類を用意して、コンフィグレーションROMを切り替えてFPGAを起動させる方法もありますが、FPGAを動作させつつPLL出力周波数を切り替えることはできません。

● 出力周波数を動的に切り替えられるPLL機能

「動的に周波数の変更が可能なPLL」というのは、

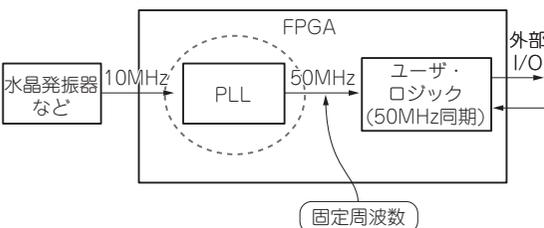


図1 PLLのみを使用したFPGAのブロック図

平たく言えば「FPGAは動作状態のまま周波数の変更が可能なPLL」のことです。

今回紹介するAltera PLL Reconfigは、出力周波数を動的に切り替えられるPLL機能です。Altera PLL Reconfigと、それを制御するユーザ・ロジックを実装することで、FPGAは動作状態のままPLLの出力周波数を自由に変更できるようになります。もちろんコンフィグレーション・データは1つで、どの周波数にも対応することができます（図2）。

2 PLL制御IPコアの生成手順

図2に示したように、PLL ReconfigはPLLとセットで使う構成となります。ここでは「Altera PLL」と「Altera PLL Reconfig」の生成方法について説明します。

● Altera PLLの生成手順

まずはAltera PLLのIPコアを生成します。Quartusのメニューの「Tools」→「IP Catalog」を選択します〔図3(a)〕。するとIP Catalogが開くので、図3(b)のように「Altera PLL」を選択します。Altera PLLの各種設定ウィンドウが開くので、まずファイル名とファイル・タイプ（VHDL or Verilog HDL）を設定します。次に図3(c)のように「Settings」タブをク

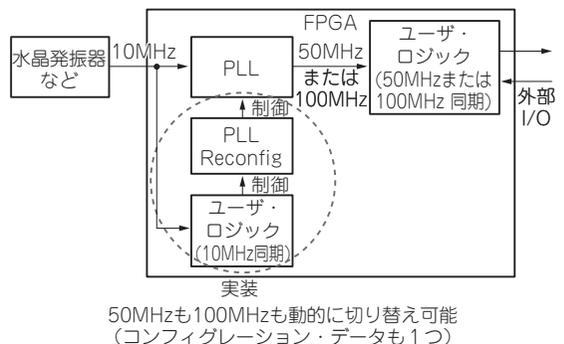


図2 PLLとPLL Reconfigを使用したFPGAのブロック図