

## 第1章 無料のVivado HL WebPACK Editionで高位合成にチャレンジしよう(AXI4マスタ編)

アルゴリズム通りに記述したフィルタ  
Cプログラムをハードウェア化してみよう

小野 雅晃 Masaaki Ono

筆者はこれまで、乗算回路を Vivado HLS を使って高位合成して IP コア化し、それを AXI4-Lite バスに接続する方法について解説してきました。高位合成の手順と IP コア化、そして Vivado ブロック・デザインへの組み込み手順について分かったところで、今回は本格的な画像フィルタ処理回路を C 言語で記述し、それをハードウェア化する手順について詳しく解説します。



(a) 元画像



(b) 変換後画像(3×3)

図1 ラプラシアン・フィルタの例

## 1. 前回までのおさらいと今回の解説

## ● FPGA マガジン No.15のおさらい

筆者は本誌前号 (FPGA マガジン No.15) の「特設 高位合成ツール Vivado HLS」の第2章と第3章で、AXI4-Liteバス対応のIPコアをVivado HLSで作成し、Vivadoで使用方法を詳しく解説しました。

特設第2章では、Vivado HLSを使用して、FPGA マガジン No.14 特集第5章のCソースコードの指定子を数行修正するだけで乗算回路をAXI4-Liteに対応させることができました。Cコードの合成を行うと、各種レジスタがメモリ空間にマップされ、AXI4-Liteバスに接続することができるHDLソースコードを生成できました。C/RTL協調シミュレーションでは、乗算IPを使うための基本的なAXI4-Liteバスのアクセス方法を、タイミング波形で確認することができました。

さらに特設第3章ではVivadoを使用して、特設第2

章のVivado HLSで生成した乗算IPの動作を、ZYBOボードで確認することができました。その際に、特設第2章でVivado HLSが自動生成したドライバ・ソフトウェアの使用方法を学習しました。

## ● 今回のAXI4マスタ編の内容

今回、Vivado HLS (AXI4マスタ編) では、AXI4バスのマスタとして自律的にDMA転送を行うIPを、Vivado HLSで生成します。

この原稿を執筆するにあたりどのような事例を取り上げればよいか悩みました。これまで筆者が紹介してきた乗算回路の例では、簡単すぎてCソースコードによる性能の違いを見せることができません。考えた末に、以前から実験してきたAXI4マスタ版のラプラシアン・フィルタを例として取り上げることにしました。

ラプラシアン・フィルタを行う前と後の画像を図1に示します。変換後の画像を見ると画像のエッジ(境界)が白く浮き出ているのが分かります。