

第3章

Vivado HL WebPACK Editionで高位合成にチャレンジ(AXI4-Liteスレーブ編)

AXI4-Lite 版乗算IPコアを ARM プロセッサから制御する

小野 雅晃 Masaaki Ono

前章で作成したAXI4-Liteバスに接続できる乗算IPコアを、評価ボードZYBOに実装し、ARMプロセッサから制御してみましょう。高位合成にはVivado HLSを使用しましたが、FPGAへの実装はVivadoを使用します。また、Vivado HLSは高位合成だけでなく、生成したIPコアのデバイス・ドライバも自動で生成します。最後はSDKを起動して、ARMプロセッサで実行するアプリケーション・プログラムを作成して動作を確認してみます。

1. AXI4-Lite 版乗算IPの接続方法

前章で作成したAXI4-Lite版乗算IPは、Zynq内でどのように使用されるのでしょうか。まずはZynqの内部構造について簡単に説明したいと思います。

● Zynqの内部構造

ZynqはCPUにFPGAが付いている構造です。CPU部分はPS (Processing System) と呼ばれていて、ARM Cortex-A9プロセッサが2つ搭載されています。

プロセッサはFPUとNEONと呼ばれるSIMDユニットと、それぞれ32Kバイトの命令キャッシュとデータ・キャッシュが搭載されています。またPSには、DDRのSDRAMコントローラも内蔵され、ZYBOの場合は512MバイトのDDR3 SDRAMが接続されています。I/OペリフェラルはUSB、ギガビットEthernet、SDカード・インターフェース、CAN、I²C、SPIが搭載されています。

FPGA部分はPL (Programmable Logic) と呼ばれています。PSとPLの接続は、PS側にAXIバスのポートが用意されているので、PL側のAXIバスに接続することによって、PSとPLがデータのやり取りをすることができます。PS側には、AXI_GPポート (General-Purpose Ports) がマスタとスレーブの2ポートずつ、AXI_HPポート (High-Performance Ports) がスレーブとして4ポート、キャッシュに読み書きできるAXI_ACPポート (Accelerator Coherency Port) がスレーブとして1ポートあります (図1, 次頁)。

● 乗算IPの接続方法

今回の乗算IP (multit_apuint IP) をARMプロセッサに接続するためには、AXI_GPポートのマスタ・ポートからPL部にAXIインターコネクトを追加して、そこから乗算回路IPに接続します。その様子を図2に示します。なお、乗算IPはアドレス・マップされて、ARMプロセッサから使用されます。

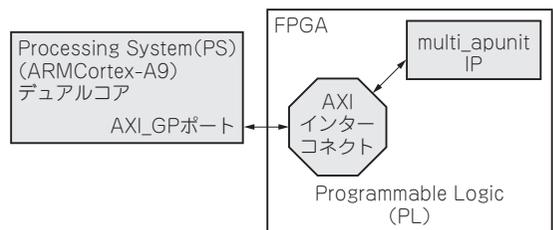


図2 乗算IPの接続方法

2. Vivadoを使った乗算IPコアのFPGAへの実装

それでは、前章で作成したAXI4-Lite版乗算IPをFPGAに実装してみましょう。

● Vivadoによる新規プロジェクトの作成

Vivado 2016.1を起動します。

Create New Projectアイコンをクリックして、新規プロジェクトを作成します [図3 (a)]。

するとNew Projectダイアログが開きます。Create a New Vivado Project画面では、Nextボタンをクリックします。

次のProject Name画面で、Project locationを適当なところに設定してください。そしてProject Nameに“multi_ex2”と入力してください (名前は各自自由に決めてもOK)。そしてNextボタンをクリックします [図3 (b)]。

次のProject Type画面からDefault Part画面までは、デフォルトの設定のままNextボタンをクリックします。

Default Part画面では、Selectを“Board”に設定し、Vendorは“digilentinc.com”を選択、Display Nameから“Zybo”を選択します。下のDisplay Nameに表示された“Zybo”をクリックし、Nextボタンをクリックします [図3 (c)]。なおZYBOを選択するには、コラムで説明する作業を予め行っておく必要があります。