

第1章 もっとも簡単な加算回路からマンデルブロ集合の演算回路まで

高位合成ツール Vivado HLS を使って C 言語で FPGA を開発しよう!

横溝 憲治 Kenji Yokomizo

Xilinx社の高位合成ツールVivado HLSが、無償版のWebPACKで利用可能になりました。C言語などから回路設計ができる高位合成がいよいよ身近に使える時代になりました。ここではVivado HLSの使い方を、プロジェクトの作成からRTLコードの生成、IPコア化、そしてFPGA評価ボードBasys 3(Digilent社)への実装まで詳しく解説します。最後にマンデルブロ集合を演算して、画面に表示する事例についても紹介します。

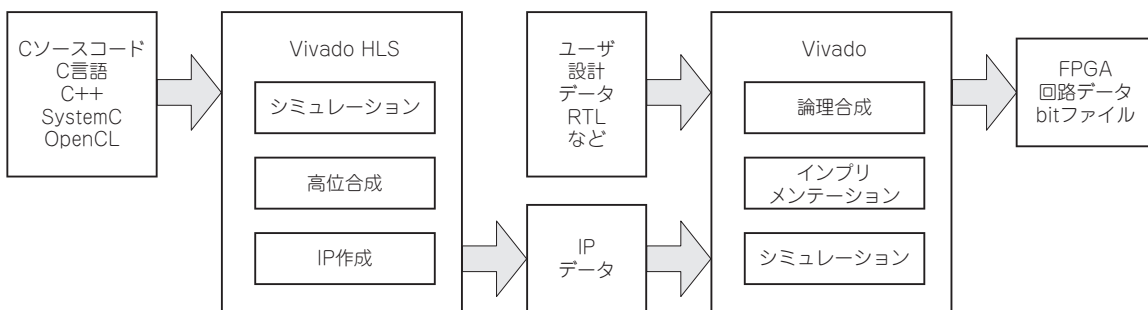


図1 ツール間の設計データの受け渡し

● Vivado HLSとは

Vivado HLS (以降HLS)はXilinx社の提供する高位合成ツールです。C言語系(C言語, C++, SystemC, OpenCL)のソースコード(以降Cソースコード)からXilinx社のFPGA用のIPおよびRTL記述を生成できます。

図1はツール間の設計データの受け渡しの様子です。HLSの高位合成でCソースコードからRTLを作成し、IP化します。作成したIPはVivadoで設計する回路に組み込み、FPGA用回路データを生成します。従来、HLSの使用には有償ライセンスが必要でしたが、Vivado 2015.4から無償版のWebPACKのライセンスで利用可能になりました。

執筆時の最新版は2016.2で、Xilinx社のWebサイトからダウンロードできます。VivadoをインストールするとHLSも同時にインストールされます。インストールとライセンス取得の詳細はXilinx社のWebサイトを参照してください。

● 作業手順

HLSを利用した設計フローを図2に示します。初めにCソースコードを記述し、HLSで高位合成してIPを作成します。そのIPの設計データをVivadoでIP Catalogに登録し、ユーザ回路の設計でIPを組み込みます。

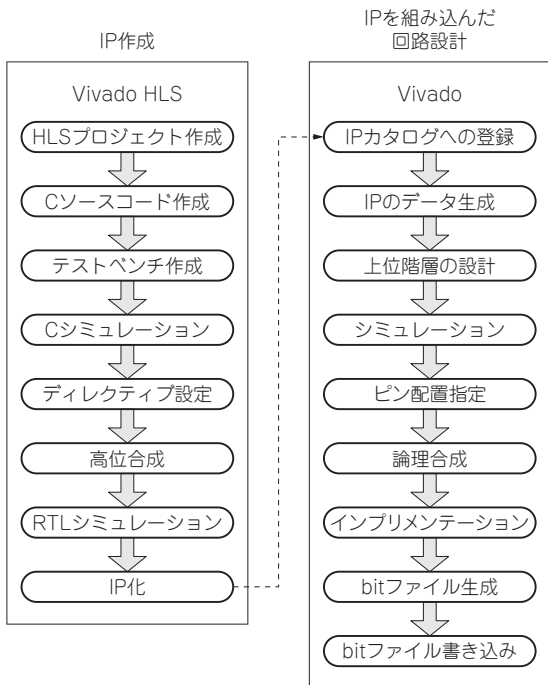


図2 設計フロー