

第6章 指示子とオプションを適切に指定して狙った通りのタイミングを生成する

C言語で設計する ディスプレイ・コントローラ

小野 雅晃 Masaaki Ono

一般的に高位合成による回路設計は、クロック単位でタイミングを制御するバス・インターフェースの記述には向かないとされています。しかし、PIPELINE指示子とそのオプションを適切に使えば、狙ったタイミングで信号を生成することが可能です。乗算回路のテストではスイッチとLEDしか使えませんでした。表示回路であればZYBOに搭載されているVGA出力コネクタから画像を表示することができます。

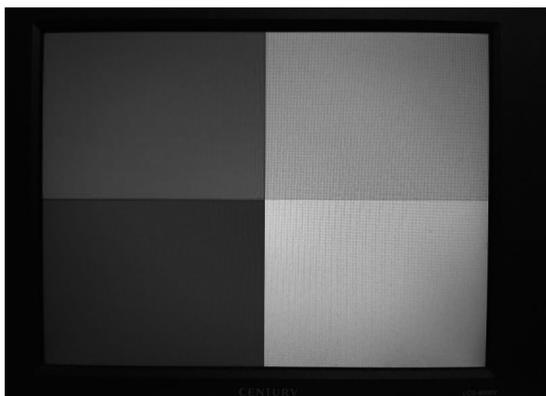


写真1 ディスプレイ・コントローラの出力画像

表1 ディスプレイ・コントローラのタイミング仕様

項目		値
水平同期系	画像表示領域	800クロック
	水平フロント・ポーチ	40クロック
	水平同期信号	128クロック
	水平バック・ポーチ	88クロック
垂直同期系	画像表示領域	600ライン
	垂直フロント・ポーチ	1ライン
	垂直同期信号	4ライン
	垂直バック・ポーチ	23ライン

● ディスプレイ・コントローラの仕様

Vivado HLSの応用例としてディスプレイ・コントローラを作成してみましょう。ディスプレイ・コントローラは出力すべき信号のタイミングが決まっているので、高位合成で作るのは無謀だと思いましたが、やってみたらうまくいきました。

今回作成するディスプレイ・コントローラの表示画像は、写真1に示すように全画面を4分割して、右上が赤、左上が緑、右下が青、左下が白を表示します。

ディスプレイ・コントローラの解像度はSVGA解像度の横800ピクセル、縦600行とします。ピクセル・クロックは40MHz(周期は25ns)で、フレームレートは60fps(frame per second)です。表1に信号仕様を示します。

1. 新規プロジェクトの作成とCソース・ファイルの追加

● ディスプレイ・コントローラの新規プロジェクトを作成

Vivado HLS 2016.1で新規プロジェクトを作成しま

しょう。まずは、Vivado HLS 2016.1を起動します。起動画面で、Create New Projectをクリックして、新規プロジェクトを作成します[図1(a)]。

New Vivado HLS ProjectダイアログのProject Configurationが表示されます。Locationに適当なフォルダを指定して、Project nameにdisplay_cont(名前は何でも構わない)と入力し、Nextボタンをクリックします[図1(b)]。

次のAdd/Remove FilesのAdd/Remove C-based source files、その次のAdd/Remove FilesのAdd/Remove C-based testbench filesは、何も入力しないでNextボタンをクリックします。

次にSolution Configurationが表示されます。ClockのPeriodはSVGA解像度のピクセル・クロックの40MHzの周期25(ns)を入力します。FPGAの種類を選択するためにPart Selectionの「…」ボタンをクリックします[図1(c)]。

するとDevice Selection Dialogが表示されます。SelectはPartsに設定されていると思います。FilterのProduct CategoryをGeneral Purposeに、Familyをzynqに、Sub-Familyをzynqに、Packageをclg400に、Speed gradeを-1に設定します。すると、下のウィンドウにxc7z010clg400-1が表示されるので選択してOKボタンをクリックします[図1(d)]。