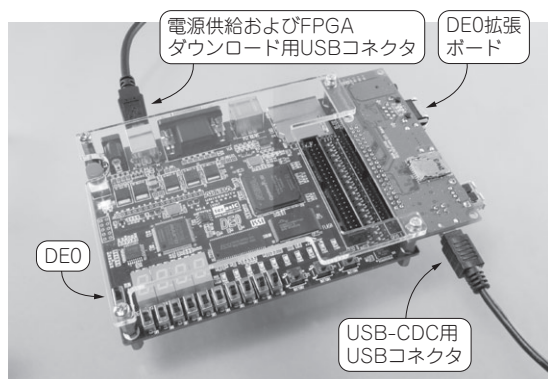


CPUがなくても
仮想シリアル・
ポートが
組み込める!

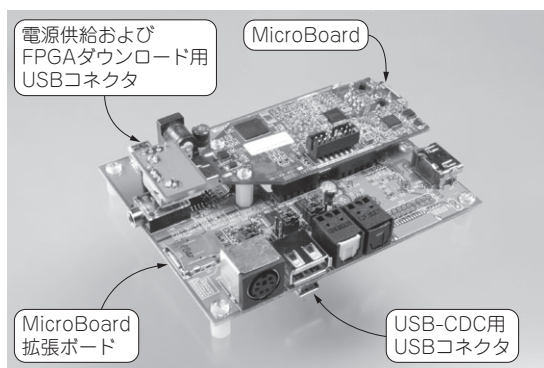
接続初期化処理(エミュレーション)をハードウェアが自動で行う USBコミュニケーション・デバイス・クラス対応の USBターゲット機器の製作

石丸 顕二 Kenji Ishimaru

USBシステムを実現するのに一番やこしいところは、接続初期化処理(エミュレーション)部分でしょうか。この部分をハードウェアが自動で行ってくれれば、ソフトウェアの作成は非常に楽になるでしょう。ここではUSBエミュレーション処理をロジック化した、仮想シリアル・ポートの実装事例を紹介します。今回は、ロジック+プロセッサ制御型USB-CDCを解説します。



(a) 評価ボードDE0+DE0拡張ボード(DE0-nanoでも使用可能)
DE0拡張ボード入手先: <http://shop.cqpub.co.jp/hanbai/books/I/I000088.html>



(b) 評価ボードMicroBoard + MicroBoard拡張ボード
MicroBoard拡張ボード入手先: http://www.miajapan.com/product_MB_Exp.html

写真1 評価ボードDE0やMicroBoardでUSB-CDCを実装!

USB-CDC (Communication Device Class) は、仮想シリアル・ポートとしてよく使われるUSBデバイス・クラスです。前回 (FPGA マガジン No.12) と今回で紹介するUSB-CDCは、エミュレーションと呼ばれる初期化処理をハードウェアで行うのが特徴で、ユーザは文字列を受信した後の処理と、送信文字列を作成する部分だけに専念できるメリットがあります。

また後編の今回は、写真1に示すようにFPGA評価ボードであるDE0やMicroBoardに実際にUSB-CDCを実装して動作確認をし、FPGA使用リソースの比較を行ってみます。

1 ロジック+プロセッサ制御型 USB-CDC

● usbCdcTarget モジュール

今回は「ロジック+プロセッサ制御型」USB-CDCについて紹介します。

トップ・モジュールはusbCdcTargetです。usbCdcTargetの内部は、図1の「完全ロジック制御型」でデータ送受信処理を行っていたEP123モジュールを取り外し、そこにソフトコア・プロセッサを接続するため

のWISHBONEバス・インターフェースwbIFを接続した構成です(図2)。ソフトコア・プロセッサは、わずらわしいエミュレーション処理をEPOCdcに任せ、ホストとのデータ送受信に専念できます。完全ロジック制御型とロジック+プロセッサ制御型の違いは次の通りです。

- データ送受信の処理はソフトコア・プロセッサが行う
- EPOCdcの処理状態を知るための新しいレジスタの追加
- クロックが2系統

(USB用48MHzクロックとプロセッサ・クロック)

usbCdcTargetはソフトコア・プロセッサのクロックを基本として動作し、USBの48MHzが入力されるのはUSB IPコアのみです。USB IPコアにはプロセッサのクロックと48MHzの複数のクロックが入力されます。ソフトコア・プロセッサからは、EPOCdcが処理を担当するエンドポイント0のレジスタを含めてUSB IPコアのレジスタを制限なくアクセス可能です。

● 基本動作の説明

動作は完全ロジック制御型と同じです。ソフトコ