

第3章

Quartus Prime/QsysやVivado上でIPコアを選んで並べてAXIバスに接続

ビルディング・ブロック開発によるMy回路IPコアのFPGAへの実装

石原 ひでみ Hidemi Ishihara

第2章でIPコア・ライブラリとして登録したVGA表示回路を、ここでは実際にCyclone V SoCとZynqのFPGA部分に実装してみます。Cyclone V SoCではTerasic社のWebサイトからダウンロードしたりファレンス・デザインを流用して、プロジェクトを作成します。Zynqでは新規にプロジェクトを作成し、その中のPS部分の設定でDigent社のWebサイトからダウンロードしたZYBOの定義ファイルを読み込ませます。

1. System on a Chip 開発を始める前に

● いよいよ System on a Chip 開発!

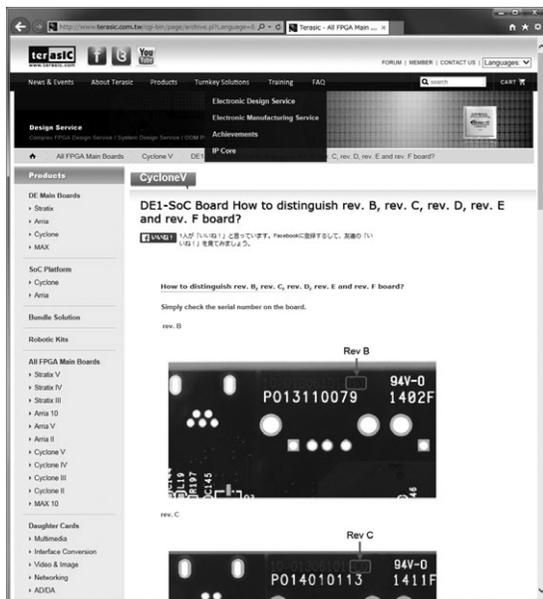
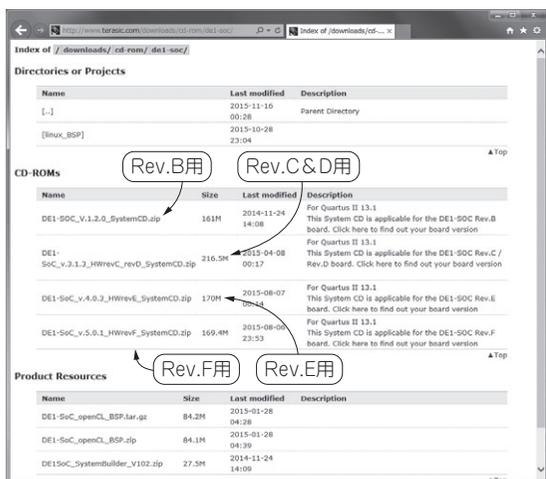
第2章ではVGA表示回路モジュールを開発し、IPコアとして使えるように作成しました。本章では、Cyclone V SoCやZynq全体を開発するSystem on a Chip開発(SoC開発)を行っていきます。本特集としては、Cyclone V SoCでもZynqでも両方を共通に開発できる狙いから、できるだけベンダ製の開発ツールに頼りたくないところですが、この段階だけはどうしてもベンダ製開発ツールを使わざるを得ません。

● ビルディング・ブロック開発

FPGA開発も様変わりしてきました。HDL記述によるRTL設計が中心だったFPGA開発も、より多くのロジックが実装できるようになってきたため、回路

規模も大きく複雑な機能を実装できるようになってきました。そしてFPGA業界もSoC開発が登場したことにより、さらに機能規模が大きくなってきたことも重なって、IPコアを利用したビルディング・ブロック開発が主流になりつつあります。

以前のAltera社の環境ではMegaWizardを、Xilinx社の環境ではCore Generatorを使用して、回路モジュールを生成して、FPGA開発を行っている方も多いでしょう。これらもビルディング・ブロック開発の一部と言えますが、これらのツールはHDLを生成してくれるだけで、IPコア同士の接続は手作業で記述する必要がありました。



(a) DE1-SoCダウンロード・ページ
<http://www.terasic.com/downloads/cd-rom/de1-soc/>

(b) DE1-SoCのリビジョンの見分け方
<http://www.terasic.com.tw/cgi-bin/page/archives.pl?Language=English&No=886>

図1 DE1-SoCのリファレンス・デザインの入手方法