

# Vivadoで始めるソフトIPプロセッサMicroBlaze & MicroBlaze MCS はじめてのMicroBlaze ～プロジェクトの作成からHello Worldの表示まで～

横溝 憲治 Kenji Yokomizo

Xilinx社のFPGA設計開発ツールVivadoの無償版(WebPACK)で、ソフトIPプロセッサのMicroBlazeが利用可能になりました。Xilinx社のFPGA(Artix-7)を搭載したFPGAボードBasys3を題材に、MicroBlazeの利用方法について何回かに分けて解説します。本書No.10で紹介したMicroBlaze MCSに引き続き、フル機能のMicroBlazeをVivado WebPACKで開発する手順を紹介합니다。

## 1 MicroBlazeのハードウェア開発

### ● 7シリーズなら無償でフル機能MicroBlazeが使える！

MicroBlazeとMicroBlaze MCS(以下MCS)の違いや使い分けについては本書No.10で既に解説しています。今回はフル機能が使えるMicroBlazeを、写真1に示すFPGAボードBasys3(Digilent社)に実装してみます。

これまでフル機能のMicroBlazeを使うには有償の開発ツールが必要でしたが、実装するFPGAが7シリーズであれば、無償ツールであるVivado WebPACKでの開発が可能になりました。

### ● プロジェクトの作成

Vivadoにおけるプロジェクトの作成手順は本書No.10の説明と同じです。No.10の図3の手順を参照してください。なお、今回のプロジェクト名はmb\_pjとしています。

MicroBlazeの設計では、MCSの場合とブロック図作成での作業が違ってきます。

### ● MicroBlazeブロックの配置

図1にMicroBlazeのブロック図作成の手順を示します。

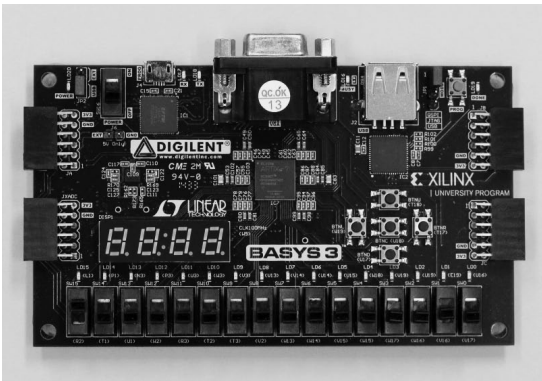


写真1 Artix-7を搭載したFPGAボードBasys3(Digilent社)

図1(a)～(c)は、デザイン名などが異なるだけで手順はMCSと同じです。異なるのは、Add IPで図1(d)のようにMicroBlazeを選択すると、図1(e)のようにフル機能のMicroBlazeが配置される点です。

### ● MicroBlazeブロックの設定

MicroBlazeが追加されたら、図1(e)のようにRun Block Automationをクリックして、各種設定を開始します。

今回はLocal Memoryを128Kバイト、Peripheral AXI PortをEnabledに設定[図2(a)]してOKをクリックします。するとブロックRAMやクロック用のブロックが自動で追加されます。

次に図2(b)のようにclk\_wiz\_1の上でマウスの右ボタンをクリックして、Customize Blockを選択します。すると図2(c)の設定画面になるので、Input Clock InformationのSourceを「Single ended clock capable pin」に設定して、OKをクリックしてください。

クロックの設定が終わったら、図2(d)のようにRun Connection Automationをクリックします。すると図2(e)の設定画面になるので、All Automationにチェックを入れて、さらに全ての信号にもチェックを入れてください。またext\_reset\_inをクリックし、Select Reset PolarityをACTIVE\_HIGHにしてください。OKをクリックしたら、自動で信号が接続されます。

### ● ペリフェラルの追加

MCSでは利用するペリフェラルは固定で、使用するチャンネル数や通信速度などをパラメータで指定しました。一方、MicroBlazeでは利用するペリフェラルIPをブロック図に追加していきます。ここで追加するペリフェラルIPは、AXI\_UartliteとAXI\_GPIO、AXI\_IICです。

まずAdd IPでAXI Uartliteを追加し、Customize BlockでBaud Rateを9600にしてOKをクリックします[図3(a)]。そしてRun Connection Automationをクリックして信号を自動接続します。

同じくAdd IPでAXI GPIOを追加し、Customize BlockでGPIOを図3(b)のように設定してOKをク