

第4章 コンパクトで高速なサンプリング・レート変換器の完成！

C言語ソースを参考にして手作業でHDLを記述する

岩田 利王 Toshio Iwata

前章までは7/5倍レート変換器を1チャンネルぶん実装しただけでしたが、いよいよここでは、7/5倍→7/4倍→3/8倍と縦続接続したものを左右2チャンネルぶんFPGAに実装します。これにより48kHz→44.1kHzのリアルタイムなステレオ(2チャンネル)のサンプリング・レート変換器がついに完成します！C言語で作成したプログラムを参考に、Verilog HDLとVHDLの両方のHDLを記述し、Cyclone III搭載FPGAボードに実装してみます。

1. 係数の読み出しの部分のC言語からHDL化まで

まずはサンプリング・レート変換で使用する係数の読み出し部分からハードウェア化してみましょう。

● 読み出し専用の配列はROMに置き換わる

第1章のリスト5では2次元配列Ah[row, col]に係数を入れて使用しています。基本的に係数は読み出し専用なので、そのような配列はハードウェアにおいてはROMに置き換えられます。

第1章のリスト6で、Ahは7×44のint型(32ビット)の2次元配列として宣言していますが、ハードウェアではアドレス6ビット(64ワード)、データ20ビットのROM×7個になります。

これからROMの読み出しシーケンスのタイム・チャートを書き、回路図を描いてHDL化します。

● 係数の読み出しの部分のタイム・チャート

図1にタイム・チャートを示します。横軸は時間軸であり、同時刻にいろいろなモジュールが並列動作しています。このように、タイム・チャートとは並列動作の一種の表現方法ともいえます。

● 変換後のサンプリングは67.2kHz。そのクロックでカウンタを回す

まずは係数グループ選択用、すなわちROM選択用の信号を生成します。図1の1番上(FS67K2)は周波数67.2kHz(= 44.1kHz×7/5)のクロックです。これを使って7進カウンタを回したものがcounter7となります。

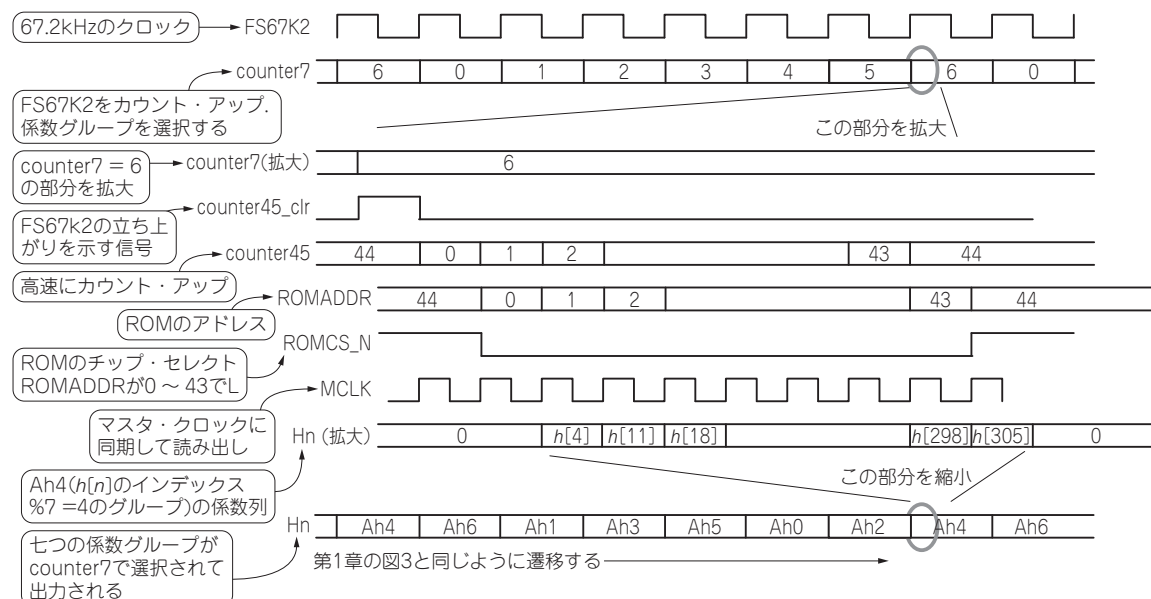


図1 係数の読み出しのタイム・チャート