

第3章 Vivado HLSで生成したHDLをFPGAにプログラムしてみる

高位合成ツールでC言語をHDLに変換する

岩田 利王 Toshio Iwata

本書前号 (FPGA マガジン No.10) では、C 言語から FPGA を開発する高位合成特集を企画しました。第2章までで、固定小数点演算のみでサンプリング・レート変換が行えるようになったので、このC言語プログラムをXilinx社が提供する高位合成ツールVivado HLSを使って、FPGAに実装してみましょう。なお、Vivado WebPACKとVivado HLS評価版のインストール手順については、本書No.9で解説されているので、そちらを参照してください。

1. 高位合成ツールを使ってC言語をFPGAに実装するまでのステップ

高位合成ツールを使った設計メソッドロジはまだ確立途中の段階にあると思っています。今回、実際に高位合成ツール (Xilinx社 Vivado HLS) を使ってみて、図1に示すような四つのステップがあると考えました。

- C言語で書かれたアルゴリズムの検証
  - まず、ユーザはC言語においてアルゴリズム検証を行います。図1(a)のようにテストベンチはソース (アルゴリズム本体) に入力データを供給し、その出力を検証します。
- テストベンチもHDLで提供されるので、すぐにシミュレーションができる
  - C言語のアルゴリズムをよく吟味した後、ユーザは

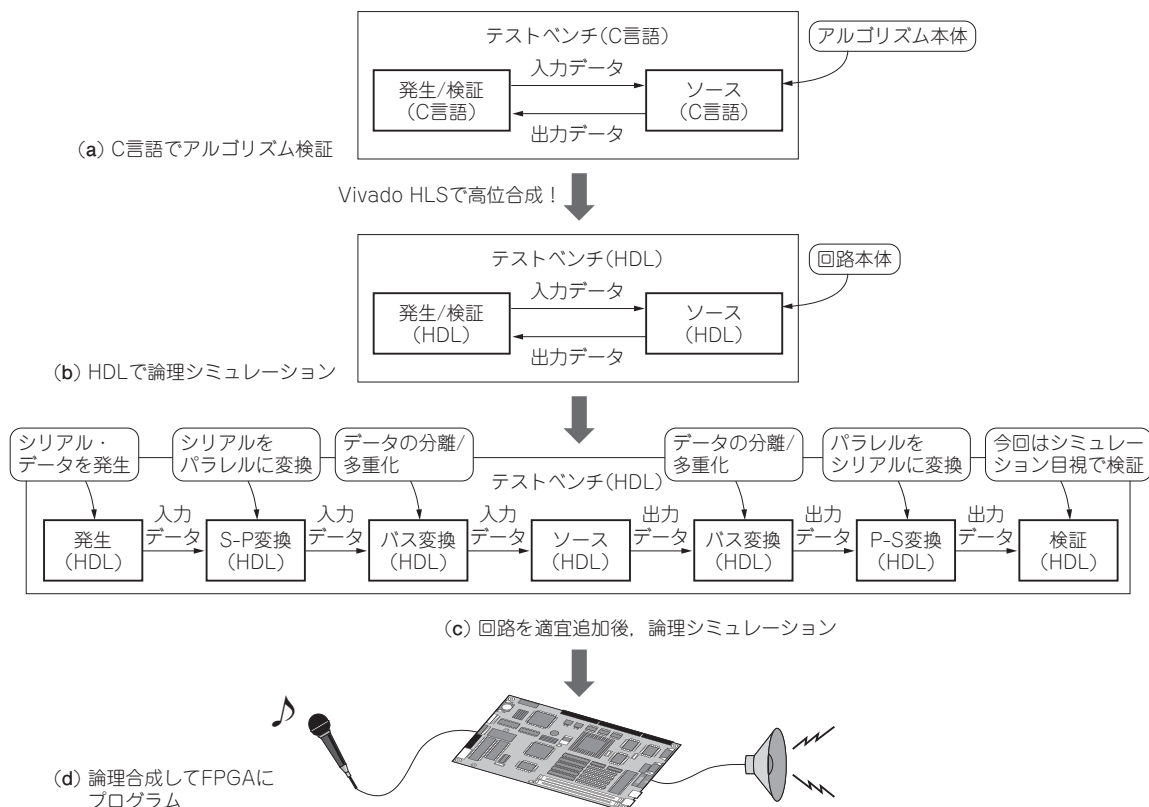


図1 高位合成ツールを使った設計メソッドロジ