

# カメレオンIC PSoCの研究 PSoCのスタートアップ・ルーチンを理解する ～プログラマブル・ハードウェアのコンフィグレーション～

浅井 剛 Takeshi Asai

Cypress社のPSoCは、CPUシステムやメモリ・システムに、プログラマブルなアナログおよびデジタル・システムを組み合わせたユニークなマイコンです。これまではPSoCを搭載したキットや使用事例を中心に紹介してきましたが、今回は、PSoCのスタートアップ・ルーチンに組み込まれている、プログラマブル・ハードウェアのコンフィグレーション方法について紹介します。

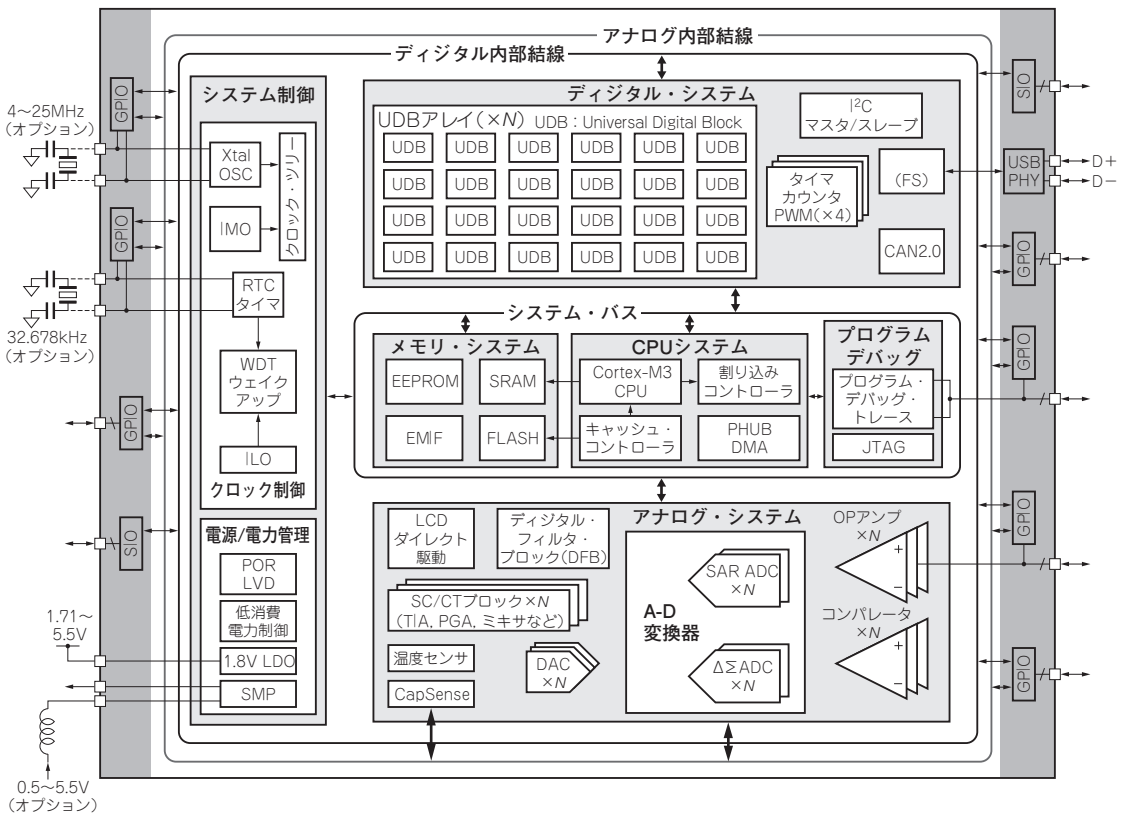


図1 PSoC 5LPの内部構成  
中段がCPUとメモリ・システムで、その上下がプログラマブル・ハードウェア

## 1 FPGA/CPLDとPSoCの コンフィグレーション方式の比較

PSoCはアナログも含めたプログラマブル・デバイスですが、いわゆるFPGA (Field Programmable Gate Array)/CPLD (Complex Programmable Logic Device)とはコンフィグレーションのしくみが大きく異なります。まずはFPGA/CPLDとPSoCのコンフィグレーション方式を比較してみましょう。

なお、前回まではPSoC 4評価キットをベースに解

説してきましたが、今回はPSoC 5LP(図1)をターゲットに想定して解説します。

### ● プログラマブル・ハードウェアのコンフィグレーションとは

まず初めに、プログラマブル・ハードウェアのコンフィグレーションの概念について解説します。一般的なプログラマブル・ハードウェアは、ユーザが設計した機能を実現するための複数の回路部と、その回路部間または周辺回路との接続を行う配線部から構成されています。その使用するデバイスの開発ツールによる