

第2章

ソフトウェア・エンジニアだけで
ハードウェア/ソフトウェア混在システムを開発できる

マウス・クリックで即高速化! Xilinx社最新開発環境SDSoC

黒田 成一 Seiichi Kuroda

ハードウェア化したい関数を右クリック指定するだけでC/C++からハードウェア/ソフトウェア・システム全体を自動生成してしまうSDSoC開発環境の登場で、設計分業のあり方が大きく変わります。ここでは、Zynq-7000 All Programmable SoCを使うアルゴリズムのアクセラレーションに興味を持つ方々に、SDSoCを適用する上での考え方とアプローチを示し、実装事例としてOpenCVモデルからの設計フローを解説します。

1. 高位合成よりも高位なハードウェア/ソフトウェア・コンパイル環境

● SDSoCは単なる高位合成ツールではない!

いわゆる高位合成(HLS)は、C言語などのソースからハードウェア・アクセラレータIPコアを生成するツールといえます。高位合成でよく質疑されるのは、アクセラレータの中身というよりは、ホストやデータの入出力インターフェースおよびブロック・レベルのハンドシェイク制御ポートの仕様といった、IPコアの外側の話だったりします。高位合成によるIPをそのほかのIPと手設計で接続しなければならないからです。

アクセラレーションを成立させるにはコアだけでなく、コネクティビティやCPUとの接続を含めたSoC統合までのハードウェア設計、そしてアクセラレータをソフトウェア側からコールできるようにドライバを設計しなければなりません。

SDSoCは、関数のハードウェア・アクセラレータ

化とそれに伴うハードウェア/ソフトウェア全体を自動生成します。いわば、高位合成よりも高位の高位合成、あるいは最上位のハードウェア/ソフトウェア・コンパイラという言い方をしているかと思います。

SDSoCは、エントリしたC/C++のうちハードウェア化の対象となる関数へのデータの出入りを解析し、最適なコネクティビティIPを推定します。ハードウェア関数は高位合成ツールであるVivado HLS (VHLS)に渡してアクセラレータIP化します。ARMコアとの接続ポートも自動で判断され、Zynqデバイス全体のプロジェクトが論理合成・実装ツールであるVivado Design Suiteに渡され、ビットストリームが生成されます。

一方ソフトウェア側では、一部の関数がハードウェア化されることで、アクセラレータやコネクティビティの制御に必要なドライバ・コードも自動生成され、アプリケーション・コードと合わせてGCCに渡されてelfファイルが生成されます。

これらすべてがSDSoCの下で一気通貫に行われます(図1)。

SDSoCはその機能がSDKにプラグインされる構成になっています。表面的にはEclipseベースのソフトウェア設計環境ですが、ハードウェア/ソフトウェア・システムのビルドを行う際には背後でXilinx社のツール群が結集して動き出すしかけです(図2)。

● 汎用とカスタムのプラットフォーム

Zynq組み込みシステム全体の中に、プラットフォームと表現される部分があります(図2)。ソフトウェア・アルゴリズムのアクセラレーション(ハードウェア/ソフトウェア化)とは直接はかかわらない基盤部分になります。

プラットフォームはハードウェアだけではありません。OSやBSP(ボード・サポート・パッケージ)のように、アクセラレーションに直接かかわらない基盤部分がソフトウェア側にも存在します。

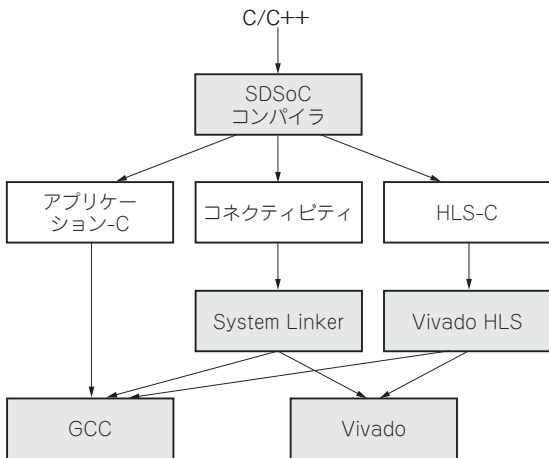


図1 SDSoCのしくみ