

FPGA内蔵ロジック・アナライザ機能の基礎と応用 自作AXIバスIPの動作波形観測と バス制御の性能評価

小林 優 Masaru Kobayashi

今回はXilinx社製ARMコア内蔵FPGA Zynq搭載の安価な評価ボードZYBOを使って、AXIバスに接続した自作IPコアの動作をFPGA内蔵ロジック・アナライザで観測してみます。開発ツールVivadoのIPインテグレータを使うと、AXIバス信号は簡単に観測できます。とはいえ、自作IPコアを動作させるためにはARMコアからの制御も必要なので、ソフトウェア開発環境であるXilinx SDKも使います。またAXIバス・アクセスの処理能力を計測するAXIパフォーマンス・モニタについても紹介します。

1 グラフィックス表示回路の作成

● AXIバスのデバッグにロジック・アナライザは必須

Zynqの特徴を生かすには、AXIバスに接続したオリジナルIPコアの作成が欠かせません。しかし実質的にZynqのPS部（ARMコア部分）を含んだシミュレーションができず、かといってIPコア単体では検証精度が低くなりがちです。

シミュレーションではOKでも実機で動作しない事態に陥りやすく、結果的にロジック・アナライザにお世話になる頻度も高くなります。

● グラフィックス表示回路の仕様

今回の波形観測対象は、ZYBOボードのVGA出力（HDMIではない）を使ったグラフィックス表示回路（以下「表示回路」）です。VGA解像度で、1画素当たり16ビット（R:5ビット、G:6ビット、B:5ビット）の表示能力を持ちます。写真1のような画面表示が可能です。

システムの全体構造を図1に示します。メイン・メ

モリであるDDR3 SDRAMに画像データを格納し、表示回路からはインターコネクトおよびHP0ポートを経由して、AXIバスのプロトコルでDDR3 SDRAMにアクセスします。

表示のON/OFFや表示開始アドレスなどの設定は、Xilinx社提供IPコアのAXI GPIO（汎用パラレル・ポート）で行い、ARMコアからGP0ポート経由で制御します。

ZYBOボードには512MバイトのDDR3 SDRAMメモリが搭載されています。ARMコアのプログラムはアドレスの小さい方から格納されるので、後半の0x10000000番地以降を表示領域として割り当てました[図2(a)]。1画面当たり、640ドット×480ドット×2バイト=約614Kバイトとなります。これを連続してメモリに格納すると、400画面以上格納することができます。1画素当たり16ビットの階調を持ち、図2(b)のように上位ビットからRGBの各色を配置します。

表示ON/OFFや表示開始アドレスはパラレル・ポートのAXI GPIOで設定します。図3に各レジスタのビットの割り当てを示します。Vivadoで自動的に割り当てたアドレスを使うので、図内のアドレスは先頭からのオフセットとなります。使用するGPIOはそれぞれ2チャンネル構成とします。オフセット・アドレスの0x00と0x08がデータ・レジスタで、0x04と0x0Cがコントロール・レジスタ（図3では未掲載）です。

個々のビットの意味は次のようになっています。フラグ類はすべて1でアクティブです。

- DISPADDR …表示開始アドレス
- VBLANK ……垂直ブランキング信号
- DISPON ……表示ON
- CLRVBANK …VBLANKのクリア

● グラフィックス表示回路の内部構成

表示回路の内部構成を図4に示します。最上位階層displayでは、次に示した三つのブロックを接続しています。

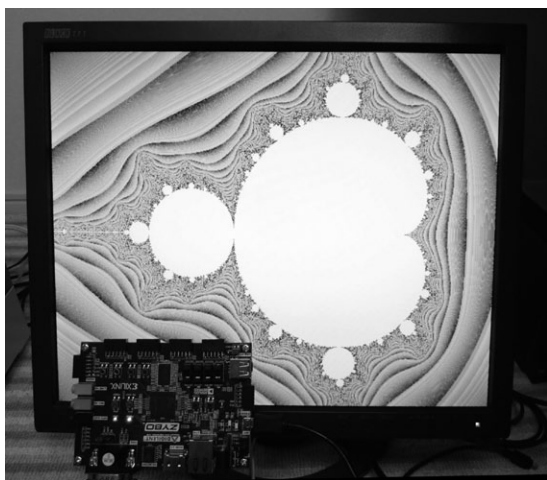


写真1 グラフィックス表示回路の表示例