

第3章

転送レート数百Mビット/秒のデータをいかにFPGAに取り込むか

# 高速A-DコンバータとFPGAのLVDS接続法

内藤 竜治 Ryuji Naito

物理学の実験や測定では高速なA-Dコンバータ(ADC)を多用します。毎秒数百Mサンプルもの速度で得られたデータを処理するのはFPGAの独断場です。FPGAと高速ADCを使ってCPUにはまねできないようなリアルタイム信号処理システムを作りましょう。

● 高速A-Dコンバータの処理はFPGAの独壇場

毎秒十Mサンプル以上の高速ADCには、LVDS信号でデータを送ってくるものが多くあります。100Mサンプル/sくらいの速度であれば図1に示すように計測値をシリアル変換して1ビットまたは2ビットのLVDSで送ってくるものが多く、250Mサンプル/sになると図2のようにLVDSをビット数分だけ並べたパラレルで送ってくるものが増えてきます(表1)。

実際には125MHzでCMOS出力というものもあるので、作られた年代や用途によってさまざまです。メーカーや品種ごとにさまざまだったのですが、最近ではJESD204BのようにADCやDAC(D-Aコンバータ)のインターフェースを統一しようという動きも出てきて

います。規格を統一すれば終了というものでもないで、今後も全ての方式は残っていくと思います。

ここでは図1に示したような、LVDSシリアル型のデータを受け取る方法について紹介します。

## 1. 高速ADCのインターフェース

ここではまず、AD9637(Analog Devices社)というADCを例に、シリアルLVDSのデータを受け取る方法を考えます。AD9637は12ビット40MHz/80MHzの8回路入りADCで、図3に示すような構成になっています。

● 出力データ・フォーマット

AD9637は入力クロックでサンプリングを行い、データをシリアル化して出力します。出力データ・レートは、クロック・レート[MHz]×ビット数となります。1チャンネル当たり1組のLVDSで送るので、毎秒80Mサンプリングの場合、データ・レートは960Mbpsとなります。このような毎秒Gビット・クラスの信号を8本(+1本)送ってきます。

AD9637の出力データ・フォーマットを図4に示します。出力データはDDR(Double Data Rate)で、変換データのほかにビットの区切りを示すため、ビット・クロックとしてDCO+/DCO-が、フレームの区切りを示すための同期信号としてFCO+/FCO-

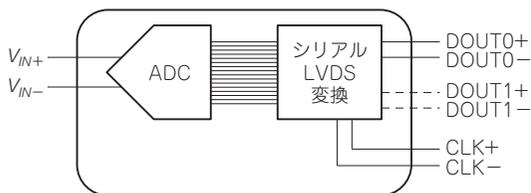


図1 LVDSシリアル型ADCの構成  
ビット数分の信号があるが出力ではシリアル化して出力する。ものによっては上位6ビット/下位6ビットを分けて二つのLVDSで出すものもある。

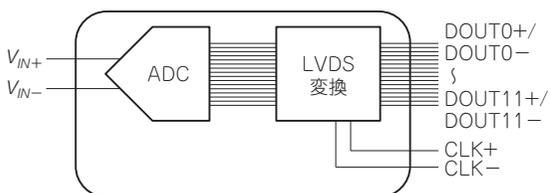


図2 LVDSパラレル型ADCの構成  
ADCの出力をそのままLVDSにして出力する。シリアル化するとデータ・レートが数Gbpsになってしまうような、高速なADCに多い。ビット数×2本の配線が必要なので、マルチチャンネル化しにくい。

表1 高速ADCとFPGAとのインターフェースのいろいろ

パラレルCMOS	変換データをビット数分のパラレル信号で送ってくるもの
パラレルLVDS	パラレルCMOSをLVDS化したもの。ビット数×2本の信号が必要になる
シリアルLVDS	シリアル化したもの。速度は(ビット数×変換速度)
JESD204B	8b/10b変換を使い、インターフェース方法を統一したもの。6Gbpsまで対応