

第2章

アナログ入力段のOPアンプの使い方, リファレンス電圧の与え方, 電源配線, etc....

# 高精度 A-D 変換に必須の アナログ・フロントエンド設計技法

内藤 竜治 Ryuji Naito

入手性の良い適当な A-D コンバータを選んで、データシートの参考回路どおりに FPGA とつなげれば、それなりに動作する A-D 変換回路は作れるでしょうが、必ずといっていいほど望みの性能が出なくて悩むことになるでしょう。ここでは、普段 FPGA 回路を設計しているエンジニアが、1Msps で 16 ビット程度の高精度な A-D 変換回路を設計しなければならなくなった際に、どういうことに気を付ければよいかという考え方を紹介していきます。

## 1. 精度が出ないのは FPGA のせい??

### ● 特性の悪い A-D 変換回路

一口に性能といってもいろいろな指標があります。その中でもノイズは最も分かりやすい指標です。ノイズの他にも、ひずみ率や INL (積分非直線性誤差), 周波数特性などがあります。A-D コンバータ (以下 ADC) の持つフルスケールまで使えるかどうかというのも重要な要素です。例えば  $-5.000V \sim +5.000V$  を

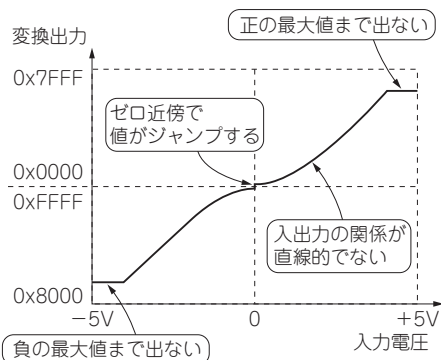


図1 特性の悪い A-D 変換回路  
-5V ~ 5V フルスケールで 16 ビット出力の場合。何も考えずに作ると、こういう特性の回路ができてしまう!

変換するはずの回路なのに、+4.950V で平らになってしまってフルスケールまで使えない... などという事態もありえます (図 1)。

ノイズが多くて困ったとき、「GND を分離する」とか「アナログ電源とデジタル電源を分離する」とか「電源にフィルタを入れる」とか... そういう工夫をしても、せいぜい 12 ビット程度の性能しか出ないでしょう。望み通りの性能が出ないことが分かると「FPGA はノイズがいっぱいだから」と根拠もなく FPGA のせいにしたくなります。

### ● A-D 変換システムの性能はアナログ・フロントエンドで決まる

各メーカーからいろいろな ADC が出ていますが、IC の性能は皆とても優秀です。なのに、どうしてひどい性能しか出せない回路ができてしまうかという、それは ADC の前にあるアナログ・フロントエンド回路が悪いからです。言い換えれば、現代の A-D 変換 IC はどれも優秀で、システム全体の性能はあなたが作るアナログ・フロントエンドにかかっています。FPGA の中でロジックが遷移しているからノイズが乗るわけではなく、どこから原因不明のノイズが飛んでくるわけでもなく、FPGA のノイズが電源から回り込んで悪さをするわけでもありません。

### ● 最近の ADC の構成

最近の ADC は、サンプリング速度が数 Msps で

表1 SAR型ADCとΔΣ型ADCの比較

A-D 変換方式	メリット	デメリット
ΔΣ型	<ul style="list-style-type: none"> <li>アンチエイリアシング・フィルタが不要</li> <li>高いSNRを持ち20ビット以上も可能</li> <li>直線性誤差の補正がしやすい</li> <li>原理的にミッシング・コードが発生しない</li> </ul>	<ul style="list-style-type: none"> <li>サンプリング・レートが比較的遅い</li> <li>応答が遅い(結果が出るまでに時間がかかる)</li> <li>サンプリング・レートが高くなると消費電力が増える</li> </ul>
電荷再分配逐次比較型	<ul style="list-style-type: none"> <li>そこそこ高速</li> <li>比較的安価で小型パッケージのものが多く出ている</li> <li>非常に低消費電力</li> <li>応答が速い(次の変換タイミングで結果が得られる)</li> </ul>	<ul style="list-style-type: none"> <li>18ビット以上の分解能では高精度が得にくい</li> <li>特性が特に悪いと、ミッシング・コードが生じる</li> <li>入力インピーダンスがダイナミックに変わる</li> </ul>