

ライセンス
は ZedBoard
には付属、ZYBO
なら安価に
買える

FPGA内蔵ロジック・アナライザ機能の基礎と応用 ZYBOやZedBoardで Vivado Logic Analyzerの使い方を習得しよう

小林 優 Masaru Kobayashi

今回はXilinxのZynqを搭載したボードを使って、FPGA内蔵ロジック・アナライザ機能を解説します。開発ツールVivado Design Suiteでは、ロジック・アナライザの埋め込みと波形観測がシームレスに行えます。従来のChipScopeに比べ、ユーザ・インターフェースも洗練されました。ここでは低価格ZynqボードZYBOを例に解説しますが、ZedBoardでも試すことが可能です。

1 観測対象と Vivado Logic Analyzerの概略

● 観測対象は No.6と同じパターン表示回路

今回波形を観測する回路は、前回(FPGAマガジン No.6)と同じパターン表示回路です。VGAの解像度で、横は8分割、縦は4分割して原色を表示します。最上段から、白、黄、マゼンタ、赤、シアン、緑、青、黒、の順に並び、2段目は逆順、3～4段目は1～2段目と同一です。

なお今回の回路例ではARMコアを含むPS側は一切使わず、FPGA部分のPL(Programmable Logic)のみ使用しています。

図1に本回路のブロック図を示します。ZYBOのFPGAに供給されているシステム・クロックは125MHzなので、これを5分周した25MHzをピクセル・クロックpckとして各ブロックで使っています(ZedBoardは100MHzなので4分周して作成)。5進のカウンタを作成し、カウント値が0～2で0、3～4で1となるよう分周しています。pckのデューティ比は50%ではありませんが、立ち上がりエッジしか使わな

いのでこれでよとしました。

水平カウンタのhcnt、垂直カウンタのvcntをもとに、VGA規格に合わせた同期信号(vga_hs、vga_vs)、さらに映像信号(vga_r～vga_b)を作成しています。

ZYBOは、RGB出力がそれぞれ5、6、5ビットの階調を持っていますが(ZedBoardは各色4ビット)、本回路では原色で表示させるため、各色とも全ビット0か全ビット1のみ出力しています。

水平・垂直のカウンタと同期信号生成部分は、一つの階層syncgenにまとめ、上位階層のpatternから接続しています。

なお、回路記述を含むZYBOおよびZedBoard用のプロジェクトは、本書Webサイトで公開する予定です。

● Vivado Logic Analyzerの概略

ロジック・アナライザの主な構造は、信号波形を取り込むメモリとその制御回路です。これをFPGAのブロックRAM(BRAM)とスライスを使って実現します。

図2に示すように、観測信号をILA(Integrated Logic Analyzer)内のBRAMに書き込み、デバッグ・ハブおよびボード上のUSB-JTAGインターフェース

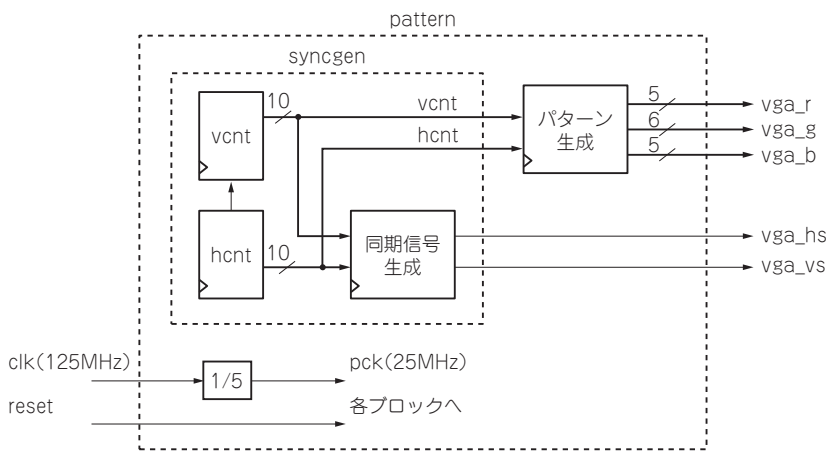


図1 パターン表示回路 (pattern) のブロック図