

# LinuxやAndroidも動く全部入り最新FPGAの研究 ~ Zynq編~ パーシャル・リコンフィグレーション用 ビットストリーム作成の手順

中原 啓貴 Hiroki Nakahara

パーシャル・リコンフィグレーションとは、FPGAの一部分のみをコンフィグレーションし直すことです。これを応用すると、FPGA上の回路を動作させたまま一部分のみの回路を入れ替えることが可能になり、必要に応じて最適な回路に切り替えながら動く、動的再構成可能なシステムを構築できます。ここではターゲットFPGAとしてZynqを想定し、まずは簡単なカウンタ回路を動的に切り替える方法を解説します。

## 1

### パーシャル・リコンフィグレー ションとは

#### ● FPGAの部分リコンフィグレーション

パーシャル・リコンフィグレーションとは、FPGAの一部分のみをリコンフィグレーションすることです。用途を工夫すればコンパクトな回路に高性能な大規模回路を実現することも可能です。

今回はZedBoardを使用して部分再構成を行います. 使用するツールISE14.7 (System Edition) で, Partial Reconfiguration ライセンスを取得している 状態で行っています.

以降の説明では、あらかじめ合成済みのネットリストを用います。本書サポート・ページから、チュートリアル用のファイルをダウンロードしてC:Y(任意のディレクトリ、以降NGCサンプル)に解凍してください。

#### ● 合成済みのネットリストを用いた部分再構成

解凍したフォルダには五つのディレクトリがあります (Top, CntDown4bit, CntUp4bit, RightShift, LeftShift).

- Top:トップ・モジュール. 部分再構成モジュール はブラック・ボックス記述. 制約ファイルは Zed Board.ucf.
- CntDown4bit:4ビット・カウント・ダウン回路
- CntUp4bit :4ビット・カウント・アップ回路
- RightShift :4ビット右シフト回路
- •LeftShift :4ビット左シフト回路

今回は二つの部分再構成モジュールを実装し、上記の四つのモジュールを部分再構成を用いて入れ替えます。合成済みネットリスト(NGCファイル)を用いた動的再構成回路の設計フローを示します。ネットリスト生成時にはバッファ回路(OBUF、IBUF)をあらかじめ合成時に外しておきます。また、ネットリスト作成はISEを、以降の作業ではPlan Aheadを使います。

1. ISE上でネットリスト (NGC ファイル) の生成 (今回 は本書サポート・ページからダウンロードしたネットリストを使用する)

- 2. (ここから Plan Ahead を使用) プロジェクトの作成・ 設定
- 3. リコンフィギャラブル・モジュール (PBlock) に ネットリストを割り当て
- 4. 各 Pblock を FPGA 上に手動で配置 (FloorPlan) する
- 5. 論理合成・配置配線・ビットストリームの生成
- 6. ネットリスト全体(通常の再構成),またはリコンフィギャラブル・モジュール(部分再構成)をコンフィグレーション

## 2 パーシャル・リコンフィグレー ション・データの作成手順

#### ● 部分再構成プロジェクトの作成・設定

PlanAheadを起動するとGetting Stared ウィンドウが起動するので、Create New Projectをクリックし、New Project ウィンドウに次の設定を行います[図1(a)].

- Project name: hello\_PR\_project
- Project location: C:/Users/(ユーザ名)

設定が終わり、Nextをクリックすると New Projectページが開きます。Post-synthesis Projectを選択しEnable Partial Reconfiguration にチェック (Partial Reconfiguration ライセンスがないとチェックできない!)を付けてNextをクリックします[図1(b)].

次にAdd Netlist SourcesでAdd Files...をクリックし、先ほど解凍したサンプルを置いているディレクトリ (NGC\_files\Top\Top.ngc)を指定してNextをクリックします[図1(c)]. 次のConstraint FilesページでAdd Filesをクリックし、制約ファイル (NGC\_files\Top\ZedBoard.ucf)を指定してNextを選択します.

そしてDefault PartページでSpecify→Boardを選択し、ZedBoardを指定してNextをクリックします[図1(d)]. 最後にNew Project Summaryページが表示されるのでFinishをクリックします.