



異なるクロックで動作する回路と回路の接続部分に潜む注意点 今さら聞けないクロック・ドメイン・クロッシング(CDC)検証の実際

扇谷 信孝 Nobutaka Ogiya

ASIC設計者には既に当たり前になっているCDCの検証は、近年FPGA設計者からも強く求められるようになってきました。CDCとは、クロック・ドメイン・クロッシングの略です。非同期のクロック・ドメイン間のデータの受け渡しを行う箇所では不具合が生じやすいことから、設計検証時には特に注意する必要があります。FPGA設計におけるCDC検証が、なぜ近年になって強く求められるようになってきているのでしょうか、一緒に考えていきましょう。

1 FPGA開発と品質の確認

● これまでのFPGAデザイン

設計者は、FPGA開発ツールのデザイン・フローに従って設計作業を進めてきました。

設定から始まって、RTLエントリ、解析、デザイン・ルール・チェック、合成、配置配線、バイナリ生成して、FPGAのコンフィグレーションまで、一括してFPGA開発ツールの閉じた環境で設計作業は完結します。ベンダによって多少違って、この手順に従えば、短時間のうちに実機上で機能を確認することができます(図1)。

FPGA開発ツールが独自にDRC(デザイン・ルール・チェック)を持っているため、サード・ベンダのリント・ツールも特に必要になることはありません。実機上であれば実時間で機能の動作確認が行えるので、シミュレーションやカバレッジの確認などのプロセスを簡略化することも現場ではよく行われています。

プロジェクト・マネージャの立場からは、もう少し手堅く、例えばブロック・レベルの検証を積み上げていくボトムアップの設計検証や、品質の確認をするために、カバレッジ・データの取得なども期待したいところですが、工数の増長を避けたいことと、やはり実機で動いているところを目で見て早く安心したいという心理が働いて、つい現場のやり方に流されてしまい

がちです。

不具合の発生しやすい押さえておくべきポイントもそれほど多くないため、社内レビューが有効に機能していて、完全に掌握できていました。プロジェクトの人数も限られており、少数のエキスパート、中堅エンジニア、新人のバランスもよく、プロジェクト内の教育も良いスパイラルが描けています。

市場に投入した製品が不具合を起こしても、すぐに修正したプログラム・データを作成し、ネットワーク越しのプログラムなどで対応してきました。FPGAは書き換え可能であるというメリットを活かした運用です。

● CDC検証が近年求められる背景

製品のライフサイクルは短くなり、アプリケーションに求められる機能は多くなってきています。

こういった市場要求に対応するように、FPGAデバイスも常に進化を続けています。年々ハードウェア・リソースを増やし、高い動作周波数に対応し、搭載できるCPU性能も向上させています。

タイム・トゥー・マーケットでさまざまなニーズに対応するためにも、一つのFPGAデバイスに実装すべき機能が多くなり、全てをスクラッチで設計することは、時間的な制約から非常に難しいと言えます。

設計者は要求事項を満足するために、既存の設計資産を検討し、新規設計部分と組み合わせて機能を実現する必要があります。ここで既存の設計資産とは、社

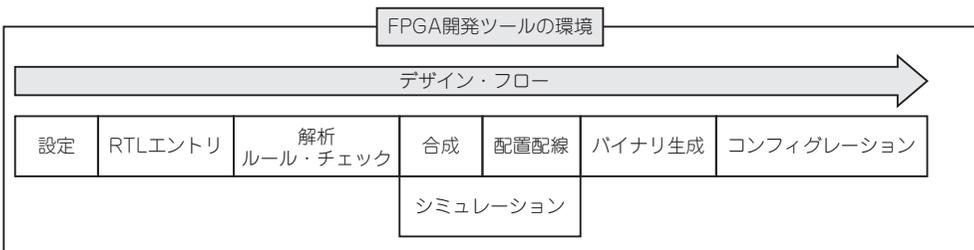


図1 FPGA開発ツールのデザイン・フロー