

# 定番&最新FPGAの研究 ~ Xilinx 編 ~ クロック・マネージメント機能DCMの使い方

丹下 昌彦 Masahiko Tange

ほとんどの場合、FPGAは同期回路設計が行われますが、その場合クロックが必ず必要になります。必要な周波数のクロックが直接FPGAに供給される場合は簡単ですが、供給されるクロックと必要なクロックの周波数が異なる場合はどうするのでしょうか。また供給されるクロックは1系統ですが、複数の周波数が必要な場面も多々あります。ここではFPGAに内蔵されるクロック・マネージメント機能について解説します。

## 1 同期回路と非同期回路

### ● カウンタ回路の例

FPGAで論理回路を設計する場合、通常は同期回路設計で行います。同期回路とは、必ずクロック信号に同期して動作する回路設計です。これに対して非同期回路設計もありますが、FPGAで用いられることはほ

んどありません。実際の回路構成でこれらの違いは主にフリップフロップ (FF) のクロック端子に接続される信号にあります。

例として、3ビットのカウンタを図1に示します。

この回路をシミュレーションすると、両方とも同じようにカウント・アップ動作を行います [図2(a)]。しかしクロックの立ち上がり部分を拡大してみると、非同期カウンタの出力はタイミングがバラバラで、上

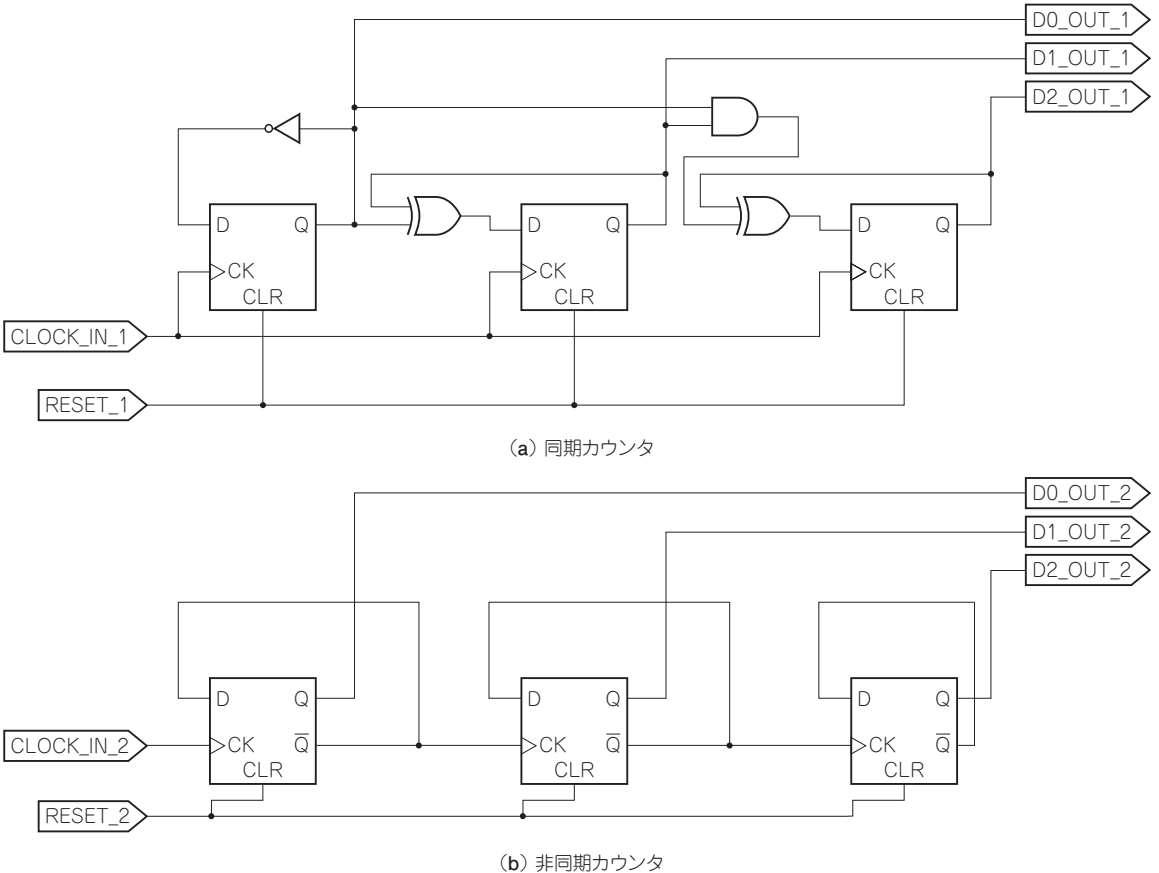


図1 3ビット・カウンタの回路