

動作中に瞬時に回路構成を切り替えられるリコンフィグレーション対応デバイス 画像処理が得意な動的再構成デバイス DAPDNA

藤田 勉 Tutomu Fujita

回路AとBが同時に動く必要がない場合、回路情報を瞬時に切り替える仕組みがあれば、回路AまたはBを実装できるだけの規模のプログラマブル部分があればよいわけです。一般的なFPGAでは回路AとBを同時には動作させないとしても、回路AとBと一緒に配置配線する必要があります。したがって、より大きな規模のデバイスが必要になります。ここでは動的再構成対応デバイスとして、DAPDNAについて紹介します。



写真1 DAPDNAデバイスの外観
問い合わせ先：東京計器(株)

皆さんよくご存知のFPGAは、再構成可能デバイスと呼ばれています。FPGAではLUT(Look Up Table)の内容を書き換えることによって回路を再構成しますが、再構成は電源投入時に1回だけという使い方が一般的です。これに対して動的再構成とは、動作中に処理内容に応じて回路を何度でも再構成します。ここでは、動的再構成デバイスの一例として、DAPDNA(写真1)を紹介します。

DAPDNAは動的に回路を再構成することにより、ソフトウェア並みの柔軟性で、専用ハードウェア・レベルの性能を提供しようという目的の元、開発されたアーキテクチャです。

1 DAPDNAとは？

● FPGAとの構造の違い

DAPDNAは動的な再構成を瞬時に可能とするため、FPGAとは違った構造を採用しています。ここで最も特徴的なのは再構成する回路の単位の違いです。代表的なFPGAでは、LUTの内容を書き換えることによって回路を再構成できるため、ビット単位の論理式レベル(ゲート・レベル)での設計が可能であり、コンフィグレーション・データはこの論理を表現するLUTの内容となり、数M～数百Mビットのデータとなっています。

一方、DAPDNAではコンフィグレーション・データの総容量を圧倒的に小さくするため、あらかじめPE(Processing Element)と呼んでいる演算器などの処理ブロックを組み込み、このPEのインストラクションなどの設定値をコンフィグレーション・データとしています。また、各PEの入出力ポートは専用バスに接続されており、ポート間の接続もコンフィグレーション・データで決定します。

この構造により、再構成する回路のコンフィグレーション・データの総容量を90Kビット程度(DAPDNA-IM2Aの場合)とすることができ、チップ内に全コンフィグレーション・データを格納できるメモリを複数バンク持つことで、1クロックでの再構成を可能としています。

この他、FPGAなどのデバイスとの違いとして、次の特徴が挙げられます。

- 設計によらず動作周波数が一定

DAPDNAではPEを組み合わせで並列演算回路を構成しますが、PEの使用数や演算内容、接続先によらず動作周波数が一定であることが保証されています(DAPDNA-IM2Aの場合300MHz)。これもコンパイルしてみないと動作周波数が決定しないFPGAとは異なった特徴となっています。

- 消費電力

DAPDNAでは数百の演算を並列に行いますが、演算器の動作周波数は最新のDAPDNA-IM2Aでも300MHzであり、最近のデバイスとしては高速とは言えません。しかし、この動作周波数のためにチップ全体の消費電力は5W程度となっており、GHzで動作するデバイスで同程度の処理性能を実現するよりも低消費電力となるため、電源や放熱などにかかるコストの上でも有利となります。

- 使い方の違い

常に動作し続ける必要のある高速のI/Oの処理などでは動的に再構成できないので、FPGAなどの方が向いているでしょう。動的に再構成することでメリットを生かせるのは、局面によりさまざまな機能を提供す