

サンプル・
デザインを
活用して
開発期間を
短縮！

定番&最新FPGAの研究 ～ Altera 編～ Development Kit Example Designを流用した DDR系メモリ搭載システムの応用例

伊藤 圭 Kei Ito

Altera社からはさまざまな開発評価ボード (Development Kit) が提供されており、それに対応したサンプル・デザイン (Development Kit Example Design) がWeb上で公開されています。DDR系メモリを搭載したシステムの場合、かなりの割合でこのサンプル・デザインを流用することができます。ここではこれらのデザインの応用例について解説します。

1 高度なシステムの例

● Modular SGDMAを使用したシステム

Modular SGDMAを使用した高度なシステムを構築しましょう。

Modular SGDMAはAltera社の社員である Jarrod (BadOmen) Blackburn 氏が書いた高性能汎用SGDMAで、現在このIPはセミオフィシャルIPとして同社の各種デザインやアプリケーション・ノートなどで幅広く使用されています。

Altera社はDMAとSGDMAを用意していますが、どちらもデータ幅が広くとれません (DMAは32ビットまで、SGDMAは64ビットまで、Modular SGDMAは現在最大で1,024ビットまでに対応)。また、同社のオフィシャルIPが4,096バイトまでしか送付できないのに対し、Modular SGDMAは $2^{31} \times 128$ バイトまで一度に転送が可能です。

Modular SGDMAはwrite master, read master, dispatcherの三つのコンポーネントによって構成され、write masterとread masterはそれぞれStreaming InterfaceのMemory mapped Interfaceの両方を扱えるように作られています。

このIPはフリーのIPなので、誰でも自由に使うことができます。もちろんAltera社のオフィシャルIPではないので、同社からのサポートは受けられません。しかし、ソース・コードも分かりやすく、ドキュメントもリリースされているので、非常に使いやすい状態です。このIPはAlteraフォーラム上で有志からのサポートがあります。

Modular SGDMAの詳細に関しては次のURLを参照してください。

• http://www.alterawiki.com/wiki/Modular_SGDMA?GSA_pos=1&WT.oss_r=1&WT.oss=modular%20sgdma

● Modular SGDMAを組み込んだExample Designを使い、高度なシステムを構築する

早速、図1 (a) のようなシステムを構築してみましょう。Modular SGDMAをQsysサブシステムとして構築しても、サブシステムを構築せずに全体をフラットなシステムにしてもよいでしょう。

もしターゲット・メモリが複数ある場合は、Modular SGDMAを含んだサブシステムを構築し、そのサブシステムをターゲット・メモリの数だけ実装すると開発時間を短縮でき、システムをコントロールしやすくなります。

図1 (b) は、Modular SGDMAをQsysサブシステムとして構築した例です。QsysサブシステムではModular SGDMAのインスタンス名にctl_0、サブシステム名にはmsgdma_ctlという名前が付けられています。

これはNios IIプロセッサを使ってシステムをコントロールする例ですが、FPGAマガジンNo.5で紹介したように、Jtag to Avalon Master BridgeとSystem Consoleを使用してシステムをコントロールしてもよいでしょう。

● Nios IIプロセッサを使って全てのアドレスに対して書き込み/読み出しを行う

制御全体の流れは次の通りです

- (1) Modular SGDMA エンジンの初期化
- (2) オンチップ・メモリ上にテスト・データ生成用の領域確保、初期化
- (3) 書き込み用ディスクリプタ構築、書き込み元データ・アドレスを上記オンチップ・メモリ・オフセットへ指定
- (4) 書き込み側エンジンを始動
- (5) 読み出し用ディスクリプタ構築、読み出し先データ・アドレスを上記オンチップ・メモリ・オフセットへ指定
- (6) 読み出し側エンジンを始動
- (7) 必要であれば、元データと外部メモリから読み出したデータの比較

Modular SGDMAの設定や使用方法、サンプル・