

FPGA内蔵ロジック・アナライザ機能の基礎と応用 無償版Quartus II Web Editionでも使えるSignalTap IIの使い方

小林 優 Masaru Kobayashi

論理回路の実機デバッグは、計測器のロジック・アナライザを用いて行います。大規模化したFPGAでは内部にロジック・アナライザ機能を埋め込み、開発ツールから制御して波形観測を行うことができます。

Altera社の開発ツールQuartus IIには、ロジック・アナライザ機能を埋め込み、波形を観測する機能「SignalTap II」が備わっています。これは無償版のWeb Editionでも使用可能です。今回は低価格FPGAボードのDE0と、Quartus II Web Edition 13.1を用いて、SignalTap IIを体験します。

1 SignalTap IIと検査対象の概略

● SignalTap IIの概略

ロジック・アナライザの主な構造は、信号波形を取り込むメモリとその制御回路です。これをFPGAの内蔵メモリとLE(ロジック・エレメント)を使って実現します。

図1に示すように、観測信号をSignalTap II経由でメモリ・ブロックに書き込み、JTAGポートを経由してPC上のQuartus IIで波形観測します。

図1では、4種類の信号を観測していますが、観測信号や信号のビット幅、取り込むサンプル数などは、検査環境ごとに異なります。これらはQuartus II上でユーザが設定すると、コンパイル時に必要な回路とメモリ・ブロックを自動生成してくれます。コンフィグレーション時には、検査対象回路とともにFPGAに書き込みます。

今回取り扱うDE0ボードには、図1で示すUSB-Blasterの機能がボード上に内蔵されているので、SignalTap IIを使うに当たって特別な装置は何一つ必

要としません。通常の開発環境で、Quartus IIの一機能としてロジック・アナライザを使用できます。

● 検査対象はパターン表示回路

今回SignalTap IIで波形を観測するのは、写真1に示したテスト・パターンを表示する回路です。VGAの解像度で、横は8分割、縦は4分割して原色を表示しています。紙面では分かりにくいのですが、最上段から、白、黄、マゼンタ、赤、シアン、緑、青、黒、の順に並び、2段目は逆順、3～4段目は1～2段目と同一です。

図2に本回路のブロック図を示します。DE0ボードのFPGAに供給されているシステム・クロックは50MHzなので、これを2分周した25MHzをピクセル・クロックPCKとして各ブロックで使っています。

水平カウンタのHCNT、垂直カウンタのVCNTをもとに、VGA規格に合わせた同期信号(VGA_HS, VGA_VS)、さらに映像信号(VGA_R～VGA_B)を作成しています。

DE0ボードは、RGB出力がそれぞれ4ビットの階調を持っていますが、本回路では原色で表示しているので、各色0x0か0xFのみを出力しています。

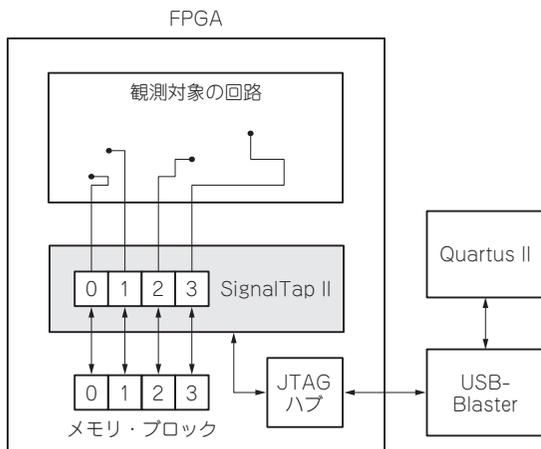


図1 SignalTap IIのブロック図

Quartus II Handbookより引用。

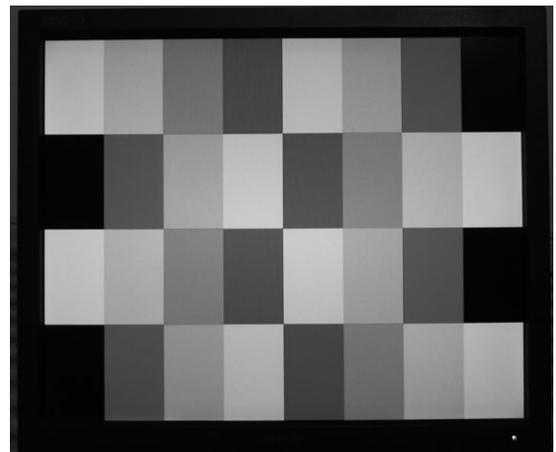


写真1 画面表示パターン