

# SO-DIMM形状CPUモジュール“ZynqDIMMモジュール”の設計を例にした ZynqDIMMモジュール搭載キャリア・ボードの設計例

森下 進 Susumu Morishita

FPGAの高機能化に伴い、FPGAの電源まわりやDDR系メモリ周辺の回路・基板設計には高度なノウハウが要求されます。そこでこの部分をモジュール化し、用途ごとに仕様が異なる周辺I/O部分をキャリア・ボードとして個別に設計することで、システム全体の開発期間を短縮することができます。ここではZynqDIMMモジュールを活用する事例として、キャリア・ボードの設計やその応用事例について解説します。

FPGA マガジン No.3では、Zynq 搭載ボードを設計する場合についての注意点などについて、筆者らが開発したZynqDIMMモジュールTB0371(写真1)を例に説明しました。今回はその続編として、Zynqデバイスと周辺インターフェースの接続について、キャリア・ボードTB0373(写真2)での事例を紹介します。また、ZynqDIMMモジュールとキャリア・ボードを使用した簡単な応用事例も紹介します。

## 1 ZynqDIMMモジュールと インターフェース

ここではキャリア・ボードに搭載されている各種インターフェースのうち、主要なインターフェースについてとりあげます。図1にキャリア・ボードのブロック図を、表1にZynqDIMMモジュールの信号概要を示します。

### ● ギガビット Ethernet ポート

ギガビット Ethernetポートは、ZynqデバイスのPS (Processor System) に内蔵されているギガビット Ethernetコントローラ (GEM) を使用して実装しています。GEMはキャリア・ボードに搭載されているPHYデバイスとRGMII (Reduced Gigabit Media Independent Interface) で接続されています。

ZynqデバイスのMIOはRGMIIをサポートしていますが、サポートするRGMIIのバージョンは2.0のみ

であり、I/O電圧レベルは+1.8V HSTLを求めています。そのためキャリア・ボードで採用しているPHYチップKSZ9021RL (Micrel社) では直接MIOに接続することができませんでした (KSZ9021RLのI/Oは+2.5V/+3.3V CMOSレベル)。

そこで、GEMのインターフェースをZynqデバイス内部のEMIOを経由してPL (Programmable Logic) に引き出し、PLのI/Oピンを使用してPHYデバイスと接続しています。なお、EMIOにおけるGEMのインターフェースは、RGMIIではなくGMII (Gigabit Media Independent Interface) であるため、RGMIIと接続するには、PLにRGMIIとGMIIを相互変換するロジックを実装する必要があります。

同じMicrel社でも現在は、+1.8V I/Oまで対応したKSZ9031RNXというデバイスがリリースされ入手可能になっているので、Zynqデバイスを搭載したボードをスクラッチから設計する場合には、MIOのRGMIIインターフェースを使用することも選択できるでしょう(図2)。

### ● USB 2.0ホスト・ポート

USB 2.0ホスト・ポートも、ZynqデバイスのPSに内蔵されているUSB 2.0コントローラを使用して実装しています。USB 2.0コントローラはキャリア・ボー

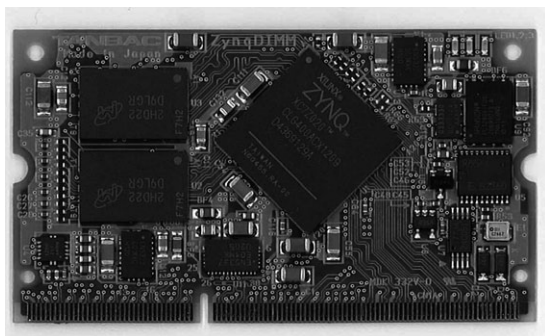


写真1 ZynqDIMMモジュールTB0371

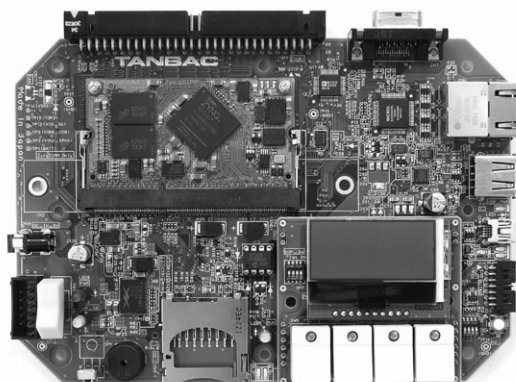


写真2 ZynqDIMMモジュール用キャリア・ボードTB0373