

定番&最新FPGAの研究 ~ Xilinx編 ~ FPGA内蔵機能 ~ブロックRAM, DSP, DCM~ の使い方

丹下 昌彦 Masahiko Tange

FPGAには、FIFOメモリやバッファ・メモリとして使うための、容量は少ないが高速に動作するメモリが内蔵されている。また乗算を高速に行うための専用回路や、クロック周波数を n 倍したり、90度位相がずれたクロックを生成できるクロック・マネージメント機能が内蔵されている。今回はこれら、ブロックRAM、DSP(Digital Signal Processing)、DCM(Digital Clock Manager)の各機能について紹介する。

1 ブロックRAMと分散RAM

● FPGA内蔵メモリ

FPGAでロジック設計を行うと、メモリが必要になることがあります。大容量のものが必要な用途ではSDRAMなどを外付けするしか方法がありません。しかし容量が小さい場合はFPGA内部にRAMを構築できると、I/Oピンを消費しないで済み、ハードウェアが簡単になったり、配線による遅延がなく高速動作が期待できるなどのメリットもあります。

Xilinx社製FPGAでメモリを実現させるには二つの方法が用意されています。一つは組み合わせ論理を構成しているLUTをメモリとして使う方法で、Distributed(分散)RAMと呼ばれています。もう一つは、FPGAに内蔵されているメモリ専用の回路を使う方法で、Block RAMと呼ばれています。

どちらもシングル・ポートRAM/ROMやデュアルポートRAMなどに使用できますが、表1に示す部分が機能的に異なります。

Block RAMではポート間で異なるサイズを設定できるので、バス幅の変換などに使用することも可能です。ここではBlockRAMを中心にその機能を説明します。

● ブロックRAMの構成

図1に示すように、ブロックRAMは完全に二つのポートを持つデュアルポート構成です。

18Kビット(18,432ビット)の容量を持ち、データ

表1 Distributed RAMとBlock RAM

	Distributed RAM	Block RAM
メモリ素子	LUT	Block RAM
データ幅の異なるデュアルポート構成	×	○
非同期読み出し	○	×
ECC	×	○

ビット幅は1, 2, 4, 8, 9, 16, 18, 32, 36に設定できます。また、ポートAとポートBを異なる幅にも設定できます(一部制限がある)。

また、18KビットのRAMを9KビットのRAM二つに分割して使用することもできます(その場合は最大データ・ビット幅は18ビットに制限される)。

● ブロックRAMのタイミング

ブロックRAMは同期RAMなので、クロックに同期して書き込み/読み出しが行われます。読み出しデータ(DO)と書き込みデータ(DI)は独立しています。書き込み動作中の読み出しデータは動作モード(WRITE_FIRST, READ_FIRST, READ_NONE)によって異なります(図2)。

READ_FIRSTを使用すると、読み出しと同時に新しいデータの書き込みが可能となるので、うまく使用するとクロック・サイクルを半分に減らすことができます。

● デュアルポート時の競合

ブロックRAMをデュアルポートで使用する場合は、ポートAとポートBで同じアドレスへのアクセス

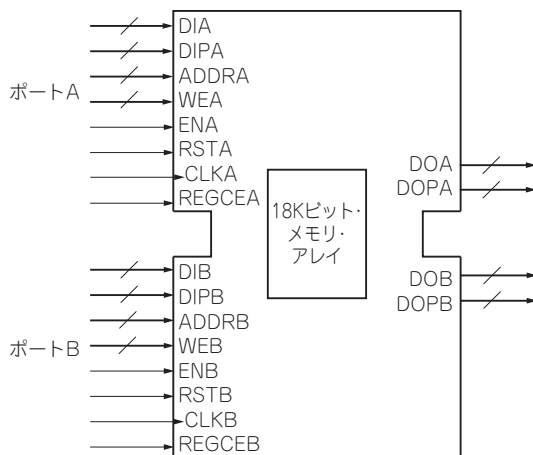


図1 ブロックRAMの構成