

## 第3章

4チャンネル束ねて使えば1Gバイト/秒の怒濤の超高速転送を実現できる

## Altera社製FPGAへの市販SATAコア実装事例

石川 康彦 Yasuhiko Ishikawa

この章ではGXトランシーバ内蔵の最新Altera社製FPGAにSATA-IPコアを実装して、SATAインターフェースを構築するデザインや応用例について紹介します。大容量ファイルを扱えるexFATの適用や、複数ドライブを並列動作することで、転送帯域を飛躍的に高められるRAID (Redundant Arrays of Inexpensive Disks) デザイン、さらにSATAアプリケーションの実用例として、1対3デュプリケータ(データ・コピー機)について紹介します。

## 1. Altera社製FPGAのGXトランシーバの活用

## ● SATA対応GXトランシーバ

FPGAでSATAインターフェースを構築する場合、SATA規格に対応可能なトランシーバ内蔵タイプが使えます。SATAケーブル内を流れる高速シリアル信号自体はPHYレイヤを実装したトランシーバで送受信しますが、ユーザからリード/ライト・データとしてアクセスするためには、FPGA内部ファブリックや内蔵CPUで構築したリンク/トランスポート/アプリケーションなどの上位レイヤで処理する必要があります。

すなわちGXトランシーバはPHYレイヤとして使い、上位レイヤにSATA-IPコアやNios II CPUを応用して評価ボードに組み込んで実用的なシステムとしてデザインします。

## ● GXトランシーバのSATA設定

Altera社の最新FPGAには、高速シリアル通信を可能とするGXトランシーバが内蔵されたデバイスが用意されています。そのトランシーバを応用することで、SATAインターフェースを構築できます。ここで紹介するStratix IV GX, Stratix V GX, Arria V GXデバイスのトランシーバは、最新となるSATA-III規格(6Gbps)を超える帯域を持っており、かつSATAの初期化に必要なOOB信号の生成/検出機能を内蔵するため、SATA-IIIの実装も可能です。

各種高速シリアル通信規格へ柔軟に対応するため、GXトランシーバは複雑かつ高機能であり、多数のパラメータを設定する必要があります。PCI Expressや10GBase-R, XAUIなどのメジャーなプロトコルに対しては、それぞれの規格に対応した設定パッケージがもともとAltera社から提供されています。しかし残念ながら、SATA規格に対しては専用のパッケージは用意されていません。このためQuartus II開発ツ

ルで提供される図1のようなカスタムPHY IPコアを使って、SATAに対応したトランシーバ設定をデザインする必要があります。ただ設定といってもデータ・レートやファブリック・インターフェース・ビット幅、8b10b機能の有無など基本的なパラメータをSATA規格に合うように入力するだけで必要なパラメータを全て自動生成してくれるので、GXトランシーバの設定自体は非常に簡単にできてしまいます。

一方、SATAの初期化で必要となるOOB (Out-of-Band) プロトコルはGXトランシーバだけでは実装できません。OOBで使う低周波の信号検出や発生機能自体はGXトランシーバに内蔵されているので、その機能とファブリック部のOOB制御ロジックを組み合わせてOOBプロトコルを実装することになります。

## 2. SATA-IPコアと評価用リファレンス・デザイン

## ● IPコア概要説明 (SATA3対応/Link層を実装/実機評価環境)

高速シリアル通信規格のPHYレイヤを実装するGXトランシーバはSATA-IIIの6Gbpsに対応しますが、トランシーバだけではSATAインターフェースを実装することはできません。SATA規格は図2に示すように、PHYレイヤの上位にリンク・トランスポート・アプリケーションの全4レイヤ構造で規格化されています。ホストとデバイスがそれぞれのレイヤ同士で通信するので、PHYレイヤに加えて各上位レイヤを合わせて実装することで初めてSATAインターフェースとして機能します。

その上位レイヤのうち最も実装が困難とされているのがSATAプロトコルの制御を担うリンク・レイヤです。リンク・レイヤではプリミティブと呼ばれる制御パケットの生成/送信や受信/解析、CRCの生成/ベリファイ、スクランブル化と復元など複雑な機能を実装しますが、リンク・レイヤをデザインするために