

# FIRフィルタを例に最新開発ツールの高位合成を体験する Vivado HLS評価版を使ってみよう

鈴木 量三郎, 片岡 啓明 Ryozauro Suzuki, Hiroaki Kataoka

Xilinx社のFPGA開発ツールがVivadoに世代交代し、新たにC言語からハードウェアを合成できる高位合成ツールが組み込まれたVivado HLSも登場しました。ここでは信号処理として良く使われるFIRフィルタを例に、Vivado HLSの30日評価版を使ってみました。

## 1 VivadoとVivado HLS

### ● 新世代開発ツール Vivado

Xilinx社は今までのISEなどのサポート・ツールをtcl(ティクルあるいはティー・シー・エル)ベースのツールであるVivado Design Suite(ヴィヴァド、以下Vivado)に置き換えつつあります。Vivadoは業界標準のIP-XACT(IEEE 1685)に対応し、そのIPを部品としてグラフィカルに配置していくことにより、直感的にシステムあるいはZynqのARMベースのSoCの構築が可能であり、また、VHDL/Verilog HDLの編集・シミュレーション機能までも統合されたシステムです(図1)。

加えて高位合成のツールであるVivado HLS(ヴィヴァド・エッチ・エル・エス)も用意されています。名前が似ているのですが、こちらはHLS(High Level Synthesis: 高位合成)の名前の通りC/C++やSystemCで書かれたアルゴリズムを合成してVHDL/Verilog HDLに落とし込むことが可能です。

VivadoもVivado HLSもtclベースのツール(GUIはEclipse)です。多くの処理を自動処理可能なスクリプト言語であるtclがベースになったことで、今後、飛躍的な拡張性が期待できるツールになっています。

ここでは高位合成ツールであるVivado HLSによりC言語からVerilog HDL/VHDLに変換しVivado内で使用できるようにするまでを解説します。

### ● Vivado HLSと高位合成

高位合成のいうところの「Cで書かれたアルゴリズムを合成可能なVerilog HDL/VHDLにする」とはどういうことでしょうか? 残念ながらC言語はハードウェアを記述する言語ではなく、とりわけハードウェア言語で必要なクロックに関連する同期処理を含むインターフェースをうまく表現できません。また、ハードウェア化で期待できる並列処理を意図的に表現することも難しい言語です。

一方で、多くの人が知っており文献やライブラリも



図1 Vivado Design SuiteのWebページ  
<http://japan.xilinx.com/products/design-tools/vivado/>

リスト1 FIRフィルタ

```

/*****
Copyright 2008-2012 Xilinx, Inc. All rights reserved.
*****/
#include "fir.h"

void
fir(data_t *y, coef_t c[N], data_t x)
{
    static data_t shift_reg[N];
    acc_t acc;
    int i;

    acc=0;
    Shift_Accum_Loop: for ( i = N - 1; i >= 0 ; --i) {
        if ( i == 0 ) {
            acc += x * c[0];
            shift_reg[0] = x;
        } else {
            shift_reg[i] = shift_reg[i-1];
            acc += shift_reg[i] * c[i];
        }
    }
    *y = acc;
}

```