

Appendix 1 ギガビット Ethernetの物理層(PHY)と論理層(MAC)間の接続仕様 GMII

GMIIインターフェースの各種信号の意味と動作 松本 信幸 Nobuyuki Matumoto

● PHYとMACをつなぐインターフェース

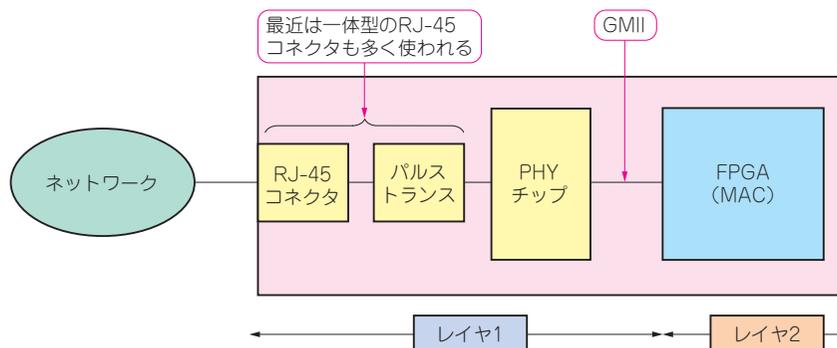
どんなに高性能なFPGAでも、Ethernetケーブルの信号を直接FPGAとつなぐことはできません。FPGAをネットワークにつなぐ場合、IEEE 802.3で規定されているMII(Media Independent Interface)またはGMII(Gigabit Media Independent Interface)といったインターフェースを用意して、PHYチップ(物理層デバイス)を介して接続します(図A)。

もともとEthernetには、目的に応じて多くの種類のケーブルが存在しており、物理的な接続仕様の違いが存在しました。これらを効率的に活用できるようにするために論理層と物理層が分けられています。

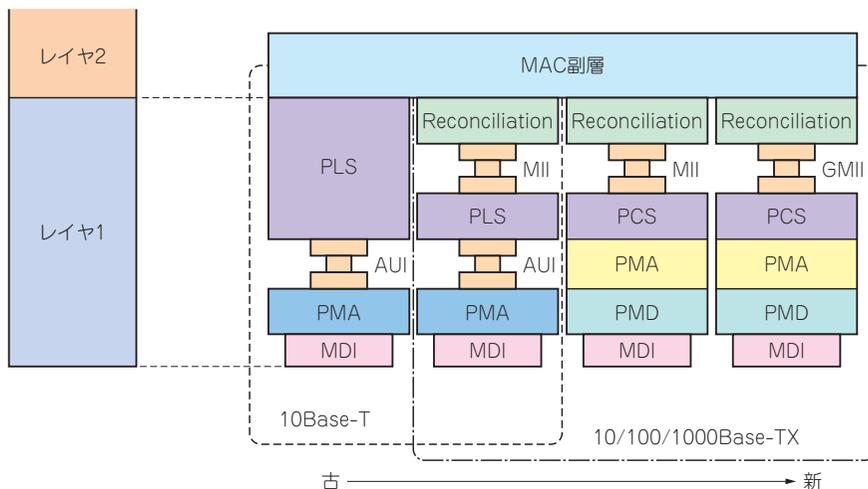
MIIは10Base-Tと100Base-TXを守備範囲として策定されましたが、その後、ギガビットEthernetの登場によって拡張が必要になったため、GMIIを追加することになりました。つまりGMIIはMIIのアップグレード可能な内容となっているので、GMIIを用いてUTPケーブルを用いるインターフェースを用意した場合、1000Base-Tだけではなく、従来からの10Base-Tや100Base-TXによる通信もできるようになっています(図B)。

● GMIIの信号線

MIIは、もともと10Base-Tと100Base-TXの両方をサポートしているため、使用する接続は同じもので、



図A FPGAとEthernetコネクタの間にはPHYチップ(物理層)が必要



図B 10/100/1000Base-TXのレイヤ構成