

# 無償で使えてよりどりみどりのオープン・ソースIPコアの研究 I<sup>2</sup>C マスタ・コントローラの使い方

横溝 憲治 Kenji Yokomizo

今回は OpenCores のオープン・ソース IP の I<sup>2</sup>C-Master Core を使ってみました。FPGA ヘブプロセッサと一緒に組み込んで、I<sup>2</sup>C バス接続のシリアル・メモリや LCD モジュール、温度センサなど各種 I<sup>2</sup>C スレーブ・デバイスを接続し、それぞれのデバイスへアクセスを試してみます。

## 1 I<sup>2</sup>C バスの動作と IP コアの概要

### ● I<sup>2</sup>C とは

I<sup>2</sup>C (アイ・スクエア・シー) は Philips 社 (現 NXP Semiconductors, 以降 NXP 社) の開発した 2 線のシリアル通信規格です。共通クロック信号の SCL と、共通データ信号の SDA で複数のデバイスを接続して通信します (図 1)。I<sup>2</sup>C はフラッシュ・メモリやセンサなどに広く採用されています。I<sup>2</sup>C の規格の詳細は NXP 社のサイトにドキュメントがあります。

OpenCores の I<sup>2</sup>C-Master Core (以降 I<sup>2</sup>C 用 IP) は マスタとして機能し、スレーブ・デバイスへ書き込みや読み出しを行います。単体での回路規模は、Xilinx 社 Spartan-6 で 232LUT (ルックアップ・テーブル)、152 DFF (D フリップフロップ) で、MicroBoard (XC6 SLX9) での使用率は 5% です。ほかの回路と組み合わせて使う余裕が十分にあります。また Altera 社の Cyclone III を搭載した評価ボード DE0 (EP3C 16F484C6) での使用率は 2% でした。

### ● I<sup>2</sup>C 用 IP の入出力信号

表 1 に I<sup>2</sup>C 用 IP の入出力信号を示します。scl で始まる信号は I<sup>2</sup>C のクロック用信号、sda で始まる信号は

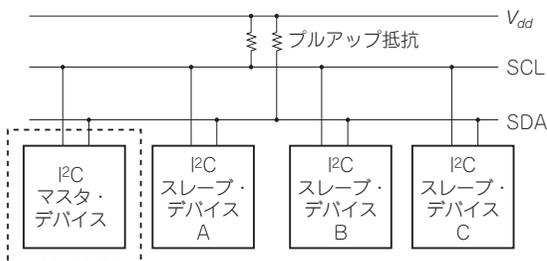


図1 I<sup>2</sup>C のデバイス接続

SCL と SDA はそれぞれワイヤード OR になっている。デバイスでは信号レベルを “L” またはハイインピーダンスにする。全てのデバイスがハイインピーダンスの場合はプルアップ抵抗で信号レベルが “H” になる。

I<sup>2</sup>C のデータ用信号です。we で始まる信号は WHISHBONE バス用の信号です。WHISHBONE バスからのアクセスで IP 設定用レジスタへの書き込み読み出しを行います。

### ● 設定用レジスタとビットの意味

設定用レジスタを表 2 に示します。各レジスタは 8 ビット幅です。図 2 は設定レジスタと I<sup>2</sup>C 信号の関係を表しています。PRERlo と PRERhi は SCL の周波数設定レジスタです。設定値は 16 ビットで (wb\_clk\_i 周波数 / (5 × SCL 周波数)) - 1 となり、下位 8 ビットを PRERlo、上位 8 ビットを PRERhi に設定します。

CTR は I<sup>2</sup>C 用 IP のコントロール・レジスタです。ビット 7 は IP のイネーブル設定で、1 が有効、0 が無効です。ビット 6 は割り込みのイネーブルで、1 が割り込みあり、0 が割り込みなしです。

TXR と RXR は同じアドレスを使い、書き込みは I<sup>2</sup>C 送信データとして TXR に設定されます。読み出し

表 1 I<sup>2</sup>C-Master Core の端子表

信号名	本数	入出力	機能
scl_pad_i	1	I	I <sup>2</sup> C クロック入力
scl_pad_o	1	O	I <sup>2</sup> C クロック出力
scl_padoe_o	1	O	I <sup>2</sup> C クロック・イネーブル
sda_pad_i	1	I	I <sup>2</sup> C データ入力
sda_pad_o	1	O	I <sup>2</sup> C データ出力
sda_padoe_o	1	O	I <sup>2</sup> C データ出力イネーブル
wb_clk_i	1	I	WHISHBONE バス・クロック
wb_rst_i	1	I	同期リセット
arst_i	1	I	非同期リセット
wb_adr_i	3	I	バイト・アドレス
wb_dat_i	8	I	入力データ
wb_dat_o	8	O	出力データ
wb_we_i	1	I	書き込みイネーブル
wb_stb_i	1	I	ステイアブル、IP 選択時に 1
wb_cyc_i	1	I	サイクル、アクセス時に 1
wb_ack_o	1	O	アクノリッジ、アクセス完了時に 1
wb_inta_o	1	O	割り込み発生時に 1