

定番&最新FPGAの研究 ~ Xilinx編~ FPGAの電源とコンフィグレーション, I/O機能の使い方

丹下 昌彦 Masahiko Tange

FPGAは内部の設計によって消費電力は大きく異なります。そのため電源の設計には気を付けなければなりません。また一般的にFPGAはSRAM構造であるため、電源ON直後は回路情報を保持しておらず、コンフィグレーション・メモリから読み込まなければ動作できません。今回はこれら電源とコンフィグレーション周辺回路について解説します。

FPGAはプログラマブルなデバイスで、非常に大きな自由度を持っています。マイコンなどと違い、デバイスのピンに割り当てる信号もプログラムできるので、どの信号をどのピンに割り当てるかもハードウェア設計後に変更可能です。このことはハードウェア設計のリスクを減らすことができ、開発に要する時間は大幅に短縮できます。

しかし、FPGA自体は非常に高速な信号を取り扱えるデバイスで、FPGA自体を正しく動作させるには基本的な設計はきちんとやっておく必要があります。その中でも重要なのは電源とコンフィグレーションです。この2点がしっかりしていないとデバイス自体がプログラム通り動作してくれません。ここでは主に電源とコンフィグレーション周辺について設計上のポイントを説明します。

1 電源設計の重要性

● FPGAの電源事情

FPGAなどの高機能LSIはプロセス・ルールの進化に伴って、高密度化が進み高速化が進んでいます。高密度化を実現した結果、同じチップ面積であればより多くの回路を実装することが可能になります。その一

方で、供給電源の低電圧大電流化が進んでいます。電源電圧の低電圧化は高速化と低消費電流化のためには有効です。しかし外部インターフェースの電圧は外部のデバイスなどに合わせる必要があり、自由に変更できるものではありません。そのため外部とのインターフェースには電源が別に必要になります。

現在ではFPGAに限らず、多くの高機能LSIでは2系統以上の電源電圧が存在しています。その中でも特にFPGAは数多くのI/O規格を実現するため数多くの電源を必要とする場合があります。FPGAの内部電源(V_{CCINT})は低電圧で動作させることで高いパフォーマンスを実現し、外部とのインターフェース部分の電源は、各インターフェースに適した電源電圧(V_{CCIO})で動作させています。

内部電源はプロセス・ルールの進化に伴い低電圧化の傾向がありますがその結果、FPGAにおける電源周りのトラブルが増えています(表1)。その原因は、コア電圧の低下により、許容電圧範囲が狭くなったことと、消費電流の増加・高速動作による急激な電流変化にあります。

コア電圧1.2V(Spartan-3, Spartan-6など)の場合の推奨電圧範囲は1.14~1.26Vです。もし、10Aの電流変化が起きた場合に、電源ラインに5mΩの抵抗が

表1 電源に関連するFPGAのトラブルの主要原因

起動しない	FPGA起動時には定常時より大きな電流が流れる	電源の容量不足 電源の過電流保護が動作(特にフの字保護特性の場合)
	電圧の立ち上がりは、単調増加で、指定の時間内で起動しなければならない	電源の容量不足
		電源の立ち上がりが単調増加でない 電源の立ち上がりが早い 電源の立ち上がりが遅い
	起動順序の指定	起動順序が守られていない
データ転送エラー 起動後にあるタイミングで動作停止	電圧許容範囲を超えている(低電圧になるほど許容範囲は狭い)	基板配線パターンによる電圧降下
	電圧許容範囲を超えている(低電圧になるほど許容範囲は狭い)	電流急変時に電圧が許容範囲を超える
	グラウンド・バウンズ	電流急変時にGND電圧が変動することによりデータ転送ミスが発生