

CPLD
クラスの
デバイスで
DVI表示が
できる！

MachXO2内蔵シリアルライザ“ギアボックス”を使った Lattice社製デバイスによるDVI表示の実験

佐藤 達之 Tathuyuki Sato

FPGA マガジンNo.1 では、Altera社でXilinx社製FPGAでDVI/HDMI表示を実現する方法について解説しました。しかしDVI/HDMI出力表示ができるFPGAはこれらだけではありません。ここではLattice Semiconductor(以下Lattice)社製デバイスMachXO2によるDVI出力表示について実験してみます。

Lattice社製デバイスMachXO2は、中規模CPLDから小規模FPGAまでのレンジをカバーするPLDです。乗算器やDSP機能はないものの、4入力LUT、ブロック・メモリなど一般的なFPGAと同等な構造のうえ、内蔵コンフィグレーション・メモリや3.3V/2.5V単電源駆動シリーズなど、CPLDの手軽さも持ち合わせています。I/O仕様も一般的なシングルエンド、差動信

号、DDRレジスタ、DDR SDRAMのDSQ信号などをサポートしますが、そのほかにギアリング・ロジックやギアボックスと呼ばれるシリアルライザ/デシリアルライザを内蔵しています。これにより1~2世代前の低価格FPGAと同等の動作速度でありながら、高速シリアル転送が可能になっています。

ギアボックスはMachXO2-640U以上のデバイス・サイズで、出力が上辺I/O、入力が下辺I/Oに限定されますが、TQFP100という小さなパッケージや3.3V単電源駆動が選択できるため、アマチュア工作のレベルでも容易に扱えます。また、3,000円以下で購入できる安価なブレイクアウト・ボード(写真1)が提供されており、デザイン・ツールLattice Diamondでは無償版でサポートされていることから、PLD入門にも適したデバイスになっています。

この規模のPLDでDVI出力ができれば面白いのではないかと思います。MachXO2ブレイクアウト・ボードでDVI/HDMI信号をピン・ドライブする実験を行いました。



写真1 MachXO2ブレイクアウト・ボード

1 MachXO2とDVIピン・ドライブの適合性について

● ギアボックスの仕様とクロック上限値
MachXO2のギアボックスには表1のとおり様々なモードがあります。

DVI出力では最も高速に動作する8:1ギアリング比のOutput DDR x4を使うこととなりますが、最高

表1 MachXO2-640Uのギアリング・ロジック

ギアリング・ロジック	定義	ギアリング比	左 辺	右 辺	下 辺	上 辺
DDR x1	GDDR	1:2または2:1	Yes	Yes	Yes	Yes
Input DDR x2	GDDR	1:4	—	—	Yes	—
Input DDR x4	GDDR	1:8	—	—	Yes	—
Input DDR 7:1	GDDR	1:7	—	—	Yes	—
Output DDR x2	GDDR	4:1	—	—	—	Yes
Output DDR x4	GDDR	8:1	—	—	—	Yes
Output DDR 7:1	GDDR	7:1	—	—	—	Yes
mem DDR x1	メモリDDR	1:2または2:1	—	Yes	—	—