

第4章

これ一つでキーボードやマウス、
ストレージ・デバイスもつなげられる!

USBフル/ロースピード対応USBホスト・ システムの実装 ~ハードウェア編~

石丸 顕二 Kenji Ishimaru

FPGAにUSBホストIPコアを組み込めば、キーボードやマウス、USBフラッシュ・メモリなどさまざまなUSB周辺機器を、入手性良く安価に利用することが可能になります。ここではOpenCoresで公開されているフル/ロースピード対応のUSBホストIPコアを利用したUSBホスト・システムの構築を紹介します。

1. OpenCoresの USB IP コアの概要

● USB 1.1 Host and Function IP core

ここではUSBホストIPコアは、OpenCores (<http://www.opencores.org/>) で配布されているオープン・ソースのIPコアを利用します。USBホストIPコアをOpenCoresで検索すると幾つかのIPコアが見つかりますが、今回はUSB 1.1 Host and Function IP core (<http://opencores.org/project,usbhostslave>) を利用しています。このコアを選んだ理由としては、Design Statusが「Done」になっている点、FPGA で動作が確認されている点(FPGA proven)、また実際の製品に採用されているという記載がある点などです。

● Coreの特徴

USB 1.1 Host and Function IP core (以下USB IP コア)は、次の特徴を持ったIPです。

- USB 1.1 ホスト/スレープ機能
- フルスピードとロースピードをサポート (Hi Speedは未対応)
- コントロール、バルク、インタラプト、アイソクロ

ナス転送をサポート

- FIFOの深さを調整可能
- 自動SOF生成機能
- 接続インターフェース：8ビットWISHBONEバス
- 言語：Verilog HDL
- ライセンス形態：LGPL

現時点のバージョンは2011年3月18日に更新が行われた2.2です。今回の実装ではIPコアのUSBホスト機能のみを利用していますが、コア自体はスレープの機能もサポートしており、USBデバイスなどの開発に利用できます。

● ダウンロード・コンテンツの内容

OpenCoresにログイン後、USBホストIP Coreのurl (<http://opencores.org/project,usbhostslave>) を表示し、downloadをクリックするとusbhostslave_latest.tar.gzがダウンロードされます。

usbhostslave_latest.tar.gzを展開すると、図1のようにバージョン管理システムSubversionで標準的に利用されている「branches」「tags」「trunk」といったディレクトリが生成されます。最新のデータはtrunkディレクトリに格納されています。仕様書

<usbhostslave>	
├<branches>	(空のディレクトリ)
├<tags>	Tag付けされたバージョン
├<trunk>	IPコア
├├<bench>	シミュレーション用テストベンチ
├├<doc>	仕様書のPDFファイル
├├<model>	シミュレーション用WISHBONEバス・ファンクション・モデル
├├<RTL>	Verilogソース・ファイル
├├<sim>	Icarus Verilog用シミュレーション実行環境
├├<syn>	Quartus 6.0用合成サンプル
├├<usbDevice>	usb deviceのスタンドアロン実装データ
├├<web_uploads>	Linux driverのpatchなど

図1 USB 1.1 Host and Function IP coreディレクトリ内容