

HDLを
1行も書かずに
FPGAマイコン
を使おう!

FPGAスタータ・キットDE0で初体験! 無償ソフトCPUコアNios II/e入門

Nios IIのアーキテクチャと「Hello World」チュートリアル

長船 俊 Syun Osahune

ここでは、FPGAをもっと簡単に使う手法として、これまでのHDL記述による開発ではなく、CPUコアに機能ブロックを組み合わせたカスタム・マイコンとしての使い方を取り上げます。一言でいえば、FPGAに内蔵できるNios IIというCPUを活用して「FPGAをNios IIマイコンとして使おう」というものです。

ここでは最小構成のNios IIマイコンの使い方について紹介します。

ターゲットとするFPGA評価ボードとしては、おそらく昨今の入門用ボードとしては最も入手しやすいと思われる、Altera社製FPGA Cyclone IIIを搭載したFPGA評価ボードDE0 (Terasic社、写真1)を使用します。

1. Nios IIのアーキテクチャ

Nios IIはAltera社が提供するFPGA用のCPUコアです。32ビット固定の命令長、3レジスタ・オペランド、ロードストア・アーキテクチャなど、基本的な部分はMIPSの流れを汲む、32ビットのRISCプロセッサです。動作クロックは実装するFPGAによって差がありますが、Cyclone IIIでも100MHz以上で動作させることが可能です。

また、コンパイラやデバッガ、システム・ライブラリを自動生成するツール・チェーンを統合した開発環境が整備されており、パフォーマンスの点でも使い勝手の点でも汎用マイコンとほぼ同等といって差し支えないでしょう。

● 汎用レジスタ

Nios IIは32本の32ビット汎用整数レジスタと6本のコントロール・レジスタを持ちます。汎用レジスタは演算命令のオペランドとして使うことができます。

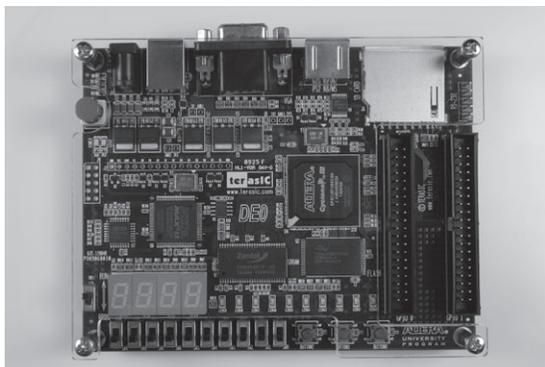


写真1 Cyclone III搭載FPGA評価ボードDE0 (Terasic社)

コントロール・レジスタはプロセッサの実行モードの切り替えや割り込みの制御を行うレジスタです。32本の汎用レジスタうち、r0は常にゼロを示すゼロ・レジスタ、r31はコール命令で呼ばれた際の戻りアドレスを格納するポインタとしてハードウェア上で暗黙的に使用されるため、32本全てが計算用に使えるわけではありません。

● 外部メモリ・バス

Nios IIは命令バスとデータ・バスを別々に持つ、ハーバード・アーキテクチャの32ビット・プロセッサコアです。命令バス、データ・バス共に32ビット幅のメモリ・バスを持ちますが、命令長の都合で命令バスのアドレス空間は256Mバイトに制限されています。またデータ・バスもプログラミング・モデル上では4Gバイトのアドレス空間となっていますが、物理アドレスとしては前半2Gバイトがキャッシュ領域、後半2Gバイトが非キャッシュ領域に割り当てられているため、物理アドレスは2Gバイトとなります(図1)。

● 最大256個のカスタム命令

Nios IIでは本体の命令セットのほかに、最大256個のユーザ定義のカスタム命令をサポートしています。カスタム命令ロジックはNios IIコア内部のALU (Arithmetic Logic Unit) に直接接続されるため、アーキテクチャ上はネイティブの命令と全く同じように扱うことができます(図2)。

また、Nios IIではオプションとしてIEEE 754の単精度浮動小数命令をサポートしていますが、これは標準で用意されているカスタム命令セットとして実装されません。

● 例外と割り込み

Nios IIの例外処理はベクタ・テーブルを使わないシンプルな例外処理になっています。どの例外が発生しても、プロセッサは生成時に設定した例外アドレスにジャンプします。

また、例外処理には外部割り込みも含まれています。Nios IIの割り込みコントローラは32の外部ハードウェア割り込みをサポートしています。