



この連載ではオープン・ソースのOpenCoresのIPコア(以下IP)を自作回路に接続してFPGAで実際に動かしてみます。今回はIPのダウンロード方法と、IPを接続するために使用するバス・ブリッジ回路について、そしてIPとしてはPWMを紹介します。

## 1. OpenCoresとIPコアの入手方法

### ● OpenCoresとは

OpenCoresはオープン・ソースのIPの開発と普及のために作られたコミュニティで、ユーザ登録すれば誰でも参加可能です。OpenCoresのサイト(<http://opencores.org/>)には、表1に示すように多くのプロジェクトがあり、さまざまIPの開発と公開が行われています。IPのソースのほとんどがVerilog HDLかまたはVHDLで書かれています。またIP以外にフリーのEDAの普及活動も行っています。

### ● IP入手方法

OpenCores からIPのソースをダウンロードするには、登録ユーザでのログインが必要です。ユーザ登録はOpenCoresのサイトで“Register”をクリックして

情報を入力します。登録が完了するとメールでパスワードが送られてきます。登録ユーザになるとソースのダウンロードだけではなく、進行中のプロジェクトに参加したり、新しいプロジェクトを立ち上げたりもできます。

IPの設計データはOpenCoresのサイトのプロジェクト・ページからダウンロードできます。図1にダウンロード手順を示します。OpenCoresのサイトでログインし、ProjectsのBrowse all Projectsをクリック[図1(a)]するとプロジェクトのカテゴリが表示されます[図1(b)]。カテゴリをクリックするとプロジェクトのリストが表示されます[図1(c)]。各プロジェクトのFiles欄に緑の丸が付いていればダウンロードできる設計データが用意されています。Statistics欄のStatsをクリックするとダウンロードの実績が表示されます。Status欄のdoneは設計完了、wbcはWISHBONEバス対応、OCCPはOpenCoresの公認プロジェクトです。公認プロジェクトはドキュメントも整備されていて完成度の高い設計になっています。License欄には適用されるライセンスが表示されています。

ダウンロードしたいプロジェクト名をクリックするとそのIPのプロジェクト・ページが表示されます[図1(d)]。Latest version:の後のdownloadをクリックすると、IPのソースを含んだ最新の設計データをダウンロードできます。また、バージョン管理ツールSVNで管理されているので、SVNを使って設計データを入手することもできます。

### ● アーカイブの内容

ダウンロードした設計データ(プロジェクト名\_latest.tar.gz)を解凍すると、プロジェクト名/trunk/rtlの下にIPのソース・コードがあります[図1(e)]。ソースの利用に際しては適用されているライセンスに従ってください。また、プロジェクト名/trunk/docの下にドキュメントが入っているので、初めに読むことをお勧めします。

表1 代表的なOpenCoresのIP

名称	言語	ライセンス
Ethernet 10GE MAC	Verilog HDL	LGPL
Ethernet MAC 10/100Mbps	Verilog HDL	LGPL
I <sup>2</sup> C コントローラ	Verilog HDL	BSD
SD card コントローラ	Verilog HDL	LGPL
UART	VHDL, Verilog HDL	BSD
CORDIC コア	VHDL	GPL
AES	Verilog HDL	その他
Read Solomon Decoder	Verilog HDL	GPL
8/16/32ビット SDRAM コントローラ	Verilog HDL	GPL
Amber ARM-compatible コア	Verilog HDL	LGPL
OpenRISC 1000 コア	Verilog HDL	LGPL
VGA/LCD コントローラ	Verilog HDL	GPL